

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Mutsumi MITARASHI :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed January 20, 2004 : Attorney Docket No. 2004-0081A
SEMICONDUCTOR INTEGRATED
CIRCUIT

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

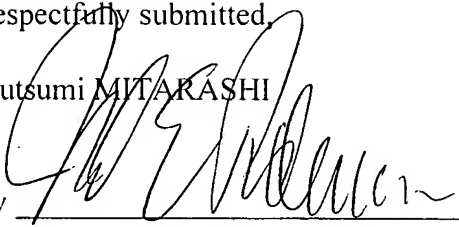
Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2003-012563, filed January 21, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Mutsumi MITARASHI

By


Nils E. Pedersen
Registration No. 33,145
Attorney for Applicant

NEP/krq
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
January 20, 2004

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY FEES AND
FEES FOR THIS PATENT TO DEPOSIT
ACCOUNT NO. 28-0375

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月21日

出 願 番 号
Application Number:

特願2003-012563

[ST.10/C]:

[JP2003-012563]

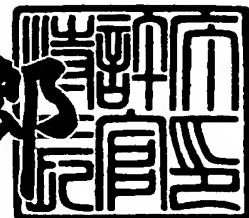
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 7月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3052691

【書類名】 特許願

【整理番号】 KT000482

【提出日】 平成15年 1月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 19/0185
H03K 17/10

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 御手洗 睦

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体集積回路であって：

低電圧が印加される低電圧電源とグランド電圧との間の振幅を有する入力信号が印加され、低電圧電源により動作し、前記入力信号によって生成される第 1 の制御信号とその反転信号から成る第 1 の制御信号対と、第 1 の制御信号から生成される第 2 の制御信号とを出力する第 1 の制御回路部と；

前記第 1 の制御信号対が印加され、前記低電圧よりも高い高電圧と前記低電圧との間の振幅を有する第 1 の信号を出力するレベル変換回路と；

前記第 1 の信号がゲートに印加され、前記高電圧電源と第 1 の出力ノードとの間に接続された第 1 の P チャネル型 MOS トランジスタと、前記第 1 の信号がゲートに印加され、前記第 1 の出力ノードと前記低電圧電源との間に接続された第 1 の N チャネル型 MOS トランジスタとを備え、前記第 1 の出力ノードに前記高電圧と前記低電圧との間の振幅を有する第 2 の信号を出力する第 1 のバッファ回路と；

前記第 2 の制御信号がゲートに印加され、前記低電圧電源と第 2 の出力ノードとの間に接続された第 2 の P チャネル型 MOS トランジスタと、前記第 2 の制御信号がゲートに印加され、前記第 2 の出力ノードとグランドとの間に接続された第 2 の N チャネル型 MOS トランジスタとを備え、前記第 2 の出力ノードに前記低電圧と前記グランド電圧との間の振幅を有する第 3 の信号を出力する第 2 のバッファ回路と；

前記第 2 の信号がソースに印加され、第 3 の出力ノードにドレインが接続された第 3 の P チャネル型 MOS トランジスタと、前記第 3 の信号がソースに印加され、前記第 3 の出力ノードにドレインが接続された第 3 の N チャネル型 MOS トランジスタとを備え、前記第 3 の P チャネル型 MOS トランジスタ、および前記第 3 の N チャネル型 MOS トランジスタの各ゲートに低電圧が共通に印加され前記第 3 の出力ノードより前記高電圧とグランド電圧の振幅を有する信号を外部に出力する過電圧保護回路と；

を備えたことを特徴とする、半導体集積回路。

【請求項 2】 前記レベル変換回路の出力側に接続され、前記高電圧が印加される高電圧電源と前記低電圧電源の間で動作する、前記高電圧と前記低電圧との間の振幅を有する前記第 1 の信号を前記第 1 のバッファ回路に出力する前置バッファ回路を含むことを特徴とする、請求項 1 に記載の半導体集積回路。

【請求項 3】 前記前置バッファ回路は、前記第 1 のバッファ回路に前記第 1 の信号が入力されるタイミングを調整するものであることを特徴とする、請求項 2 に記載の半導体集積回路。

【請求項 4】 前記第 1 のバッファ回路における前記第 1 の P チャネル型 MOS トランジスタのオン抵抗は前記過電圧保護回路における前記第 3 の P チャネル型 MOS トランジスタのオン抵抗よりも大きく設定し、

前記第 2 のバッファ回路における前記第 2 の N チャネル型 MOS トランジスタのオン抵抗は前記過電圧保護回路における前記第 3 の N チャネル型 MOS トランジスタのオン抵抗よりも大きく設定したことを特徴とする、請求項 1 ～ 3 のいずれかに記載の半導体集積回路。

【請求項 5】 前記第 1 のバッファ回路の前記第 1 の N チャネル型 MOS トランジスタ、および前記過電圧保護回路の前記第 3 の N チャネル型 MOS トランジスタのサブストレートをそれぞれのソース側に接続して、前記第 2 の N チャネル型 MOS トランジスタのサブストレートと分離したことを特徴とする、請求項 1 ～ 4 のいずれかに記載の半導体集積回路。

【請求項 6】 前記過電圧保護回路の前記第 3 の P チャネル型 MOS トランジスタのサブストレートをソース側に接続して、前記第 1、第 2 の P チャネル型 MOS トランジスタのサブストレートと分離したことを特徴とする、請求項 1 ～ 5 のいずれかに記載の半導体集積回路。

【請求項 7】 前記各 P チャネル型 MOS トランジスタ、および前記各 N チャネル型 MOS トランジスタは絶縁膜により分離された素子領域に形成されたことを特徴とする、請求項 1 ～ 6 のいずれかに記載の半導体集積回路。

【請求項 8】 半導体集積回路であって：

低電圧が印加される低電圧電源とグランド電圧との間の振幅を有するデータ入

力信号、およびイネーブル信号が印加され、前記低電圧電源により動作し、前記データ信号、および前記イネーブル信号によって生成される第1の制御信号とその反転信号から成る第1の制御信号対と、前記データ信号、および前記イネーブル信号によって生成される第2の制御信号とその反転信号から成る第2の制御信号対と、第1の制御信号から生成される第3の制御信号と、第2の制御信号から生成される第4の制御信号とを出力する第1の制御回路部と；

前記第1の制御信号対が印加され、前記低電圧よりも高い高電圧と前記低電圧との間の振幅を有する第1の信号を出力する第1のレベル変換回路と；

前記第2の制御信号対が印加され、前記低電圧よりも高い高電圧と前記低電圧との間の振幅を有する第2の信号を出力する第2のレベル変換回路と；

前記第1の信号がゲートに印加され、前記高電圧電源と第1の出力ノードとの間に接続された第1のPチャネル型MOSトランジスタと、前記第2の信号がゲートに印加され、前記第1の出力ノードと前記低電圧電源との間に接続された第1のNチャネル型MOSトランジスタとを備え、前記第1の出力ノードに前記高電圧と前記低電圧との間の振幅を有する第3の信号を出力する第1のバッファ回路と；

前記第3の制御信号がゲートに印加され、前記低電圧電源と第2の出力ノードとの間に接続された第2のPチャネル型MOSトランジスタと、前記第4の制御信号がゲートに印加され、前記第2の出力ノードとグランドとの間に接続された第2のNチャネル型MOSトランジスタとを備え、前記第2の出力ノードに前記低電圧と前記グランド電圧との間の振幅を有する第4の信号を出力する第2のバッファ回路と；

前記第3の信号がソースに印加され、第3の出力ノードにドレインが接続された第3のPチャネル型MOSトランジスタと、前記第4の信号がソースに印加され、前記第3の出力ノードにドレインが接続された第3のNチャネル型MOSトランジスタとを備え、前記第3のPチャネル型MOSトランジスタ、および前記第3のNチャネル型MOSトランジスタの各ゲートに低電圧が共通に印加され前記第3の出力ノードより前記高電圧とグランド電圧の振幅を有する信号を外部に出力する過電圧保護回路と；

を備えたことを特徴とする、半導体集積回路。

【請求項 9】 前記第 1 のレベル変換回路の出力側に接続され、前記高電圧が印加される高電圧電源と前記低電圧電源の間で動作する、前記高電圧と前記低電圧との間の振幅を有する前記第 1 の信号を前記第 1 のバッファ回路に出力する前置バッファ回路を含むことを特徴とする、請求項 8 に記載の半導体集積回路。

【請求項 10】 前記前置バッファ回路は、前記第 1 のバッファ回路に前記第 1 の信号が入力されるタイミングを調整するものであることを特徴とする、請求項 9 に記載の半導体集積回路。

【請求項 11】 前記第 1 のバッファ回路における前記第 1 の P チャンネル型 MOS トランジスタのオン抵抗は前記過電圧保護回路における前記第 3 の P チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定し、

前記第 2 のバッファ回路における前記第 2 の N チャンネル型 MOS トランジスタのオン抵抗は前記過電圧保護回路における前記第 3 の N チャンネル型 MOS トランジスタのオン抵抗よりも大きく設定したことを特徴とする、請求項 8 ～ 10 のいずれかに記載の半導体集積回路。

【請求項 12】 前記第 1 のバッファ回路の前記第 1 の N チャンネル型 MOS トランジスタ、および前記過電圧保護回路の前記第 3 の N チャンネル型 MOS トランジスタのサブストレートをそれぞれのソース側に接続して、前記第 2 の N チャンネル型 MOS トランジスタのサブストレートと分離したことを特徴とする、請求項 8 ～ 11 のいずれかに記載の半導体集積回路。

【請求項 13】 前記過電圧保護回路の前記第 3 の P チャンネル型 MOS トランジスタのサブストレートをソース側に接続して、前記第 1、第 2 の P チャンネル型 MOS トランジスタのサブストレートと分離したことを特徴とする、請求項 8 ～ 12 のいずれかに記載の半導体集積回路。

【請求項 14】 前記各 P チャンネル型 MOS トランジスタ、および前記各 N チャンネル型 MOS トランジスタは絶縁膜により分離された素子領域に形成されたことを特徴とする、請求項 8 ～ 13 のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、異なる電源電圧によって動作するデジタル回路のインタフェースをとるための出力回路を用いた半導体集積回路に関する。

【0002】

【従来の技術】

MOSトランジスタの微細化が進むにつれて許容されるゲート酸化膜耐圧は下がってきており、 $0.35\mu\text{m}$ 程度の微細プロセスでは 3.3V 程度の電源電圧で動作し、さらに最先端の $0.18\mu\text{m}$ 程度の微細プロセスでは 1.8V 程度の電源電圧が用いられる。従来、この $0.18\mu\text{m}$ の微細プロセスでは 3.3V 動作の回路とインタフェースをするために 1.8V 程度の電源電圧が許容されるトランジスタと 3.3V 程度の電源電圧が許容されるトランジスタの両方を形成して 1.8V から 3.3V への信号レベル変換を行い、それを用いて出力回路を構成していた。

【0003】

(第1の従来技術)

図13は第1の従来技術として、特開平6-216752号公報に開示されたレベル変換回路の構成を示す回路図である。このレベル変換回路はゲート酸化膜耐圧が高電圧(5V)よりも低いMOSトランジスタだけを用いて低電圧電源系から高電圧電源系へのレベル変換を行うものである。同図に示すように、このレベル変換回路はMOSトランジスタ300~313からなるレベル変換部と、MOSトランジスタ314~317からなる出力部とで構成されている。レベル変換部は低電圧($V_{CC}:3\text{V}$)電源系の信号INを入力してノードN21, N22にレベル変換用信号を出力する。出力部は前記レベル変換部からの制御信号を受けて高電圧($V_{DD}:5\text{V}$)電源系の信号として $0\text{V}\sim5\text{V}$ の振幅を有する出力信号OUT1と、中間電位 $\sim5\text{V}$ の振幅を有する出力信号OUT2と、 $0\text{V}\sim$ 中間電位の振幅を有する出力信号OUT3とを出力するようになっている。

【0004】

出力イネーブル信号OE、およびその反転信号OEBには、各々Hレベル、Lレベルが入力されている場合について説明する。入力信号INがLレベルになる

とPMOS 306, 307がオンし, NMOS 305, 312がオフする。その結果, ノードN23, N24はHレベルになり, NMOS 304がオンし, NMOS 302のソース電位が下がり, NMOS 302, PMOS 301の電流経路が形成される。ノードN25はプルダウンされ, PMOS 308がオンする。PMOS 308がオンするとノードN21がHレベルになるとともに, PMOS 309はオンしNMOS 310のドレイン電位を高電位VDDまでプルアップする。また, ノードN24がHレベルになると, NMOS 311は出力イネーブル信号EBがHレベルであるから, オンしており, ノードN22はHレベルになり, 出力信号OUT3は0Vになる。ノードN21がHレベルになるとPMOS 314はオフして出力信号OUT2は中間電位となる。出力信号OUT1は, 出力信号OUT3が0VなのでNMOS 316がオンして, 0Vになる。

【0005】

一方, 入力信号INがHレベルになると, NMOS 305, 312がオンし, PMOS 306, 307がオフして, ノードN22, N23の電位はプルダウンされ, NMOS 317がオフする。ノードN24はNMOS 311がオンなのでプルダウンされ, PMOS 309, NMOS 310の電流経路が形成される。そうしてノードN21がプルダウンされるとPMOS 314がオンするとともに, PMOS 300がオンしてノードN25がプルアップされる。そうして出力信号OUT1には5V, 出力信号OUT2には5V, 出力信号OUT3には中間電位が出力される。

【0006】

(第2の従来技術)

図14は第2の従来技術として, 特許第3258229号公報に開示されたレベル変換回路の構成を示す回路図である。このレベル変換回路もゲート酸化膜耐圧が高電圧(5V)よりも低いMOSトランジスタだけを用いて低電圧電源系から高電圧電源系へのレベル変換を行うものである。同図に示すように, 高電圧が印加される高電圧電源(VDD: 5V)と出力ノードN1の間に直列接続されたPMOS 11, 12, ならびに出力ノードN1とグランドの間に直列接続されたNMOS 13, 14を有し, プルアップ用として機能するPMOS 11のゲート

はノードN4に接続され、プルダウン用として機能するNMOS14のゲートに前記高電圧よりも低い低電圧(VCC:3V)とグラウンドとの間の振幅を有する入力信号INが印加され、PMOS12, およびNMOS13の各ゲートに低電圧が共通して印加されるCMOS回路10と、前記高電圧電源VDDと出力ノードN3の間に接続されゲートがノードN4に接続されたPMOS31, および出力ノードN3と低電源電圧VCCとの間に接続され、CMOS回路10の出力ノードN1にゲートが接続されるPMOS32を有する中間回路30と、前記高電圧電源VDDと出力ノードN4の間に接続されゲートがノードN3に接続されたPMOS41, および出力ノードN4と低電源電圧VCCとの間に接続され、出力信号OUT1がゲートに印加されるPMOS42を有する中間回路40と、前記高電圧電源VDDと出力ノードN2の間に直列接続されたPMOS21, 22, ならびに出力ノードN2とグラウンドの間に直列接続されたNMOS23, 24を有し、プルアップ用として機能するPMOS21のゲートはノードN3に接続され、プルダウン用として機能するNMOS24のゲートに前記入力信号INの反転信号が印加され、PMOS22, およびNMOS23の各ゲートに低電圧VCCが共通して印加されるCMOS回路20とを備えた回路である。

【0007】

この回路の動作を以下に説明する。入力信号INが低電圧レベル(VCCレベル)である場合は、NMOS14がオンし、これによって、PMOS32がオンする結果、PMOS41, 21もオンする。一方、入力信号の反転信号によりNMOS24がオフし、これによってPMOS42もオフする。したがって、高電圧レベル(VDDレベル)の出力信号がOUT1に出力される。この状態では、PMOS11, 31, 42とNMOS24がオフ状態なので直流電流パスは存在しない。一方、入力信号INが低電圧レベル(VCC)からグラウンドレベル(0Vレベル)へ変化した場合は、NMOS24がオンし、これによってPMOS42がオンする結果、PMOS11, 31もオンする。そして入力信号の反転信号によりNMOS14がオフし、これによってPMOS32もオフする。したがって、グラウンドレベル(0Vレベル)の出力信号がOUT1に出力される。この状態では、PMOS21, 41, 32とNMOS14がオフ状態なので直流電流パ

スは存在しない。

【0008】

図15は、上記レベル変換回路を用いた3ステート出力回路の構成を示す回路図である。低電圧電源系の論理回路は、データ端子51、およびイネーブル端子52を有し、NANDゲート53、インバータ54、55、およびNORゲート56で構成されている。さらに、前記レベル変換回路の出力側にはプリバッファ回路60を介してメインバッファ回路70が接続されている。プリバッファ回路60はPMOS61、62にて構成され、高電圧(VDD)と低電圧(VCC)の間の振幅の信号をPMOS71に供給し、メインバッファ回路70は、PMOS71、72、およびNMOS73、74で構成され、その出力に接続された出力パッド80から集積回路の外部へ出力信号OUTを出力するようになっている。

【0009】

イネーブル端子52にグラウンドレベル(0V)が入力されると、PMOS71のゲートには高電圧レベル(VDD)が印加され、また、NMOS74のゲートにはグラウンドレベル(0V)が印加され、出力信号OUTはハイインピーダンス状態になる。

【0010】

一方、イネーブル端子52に低電圧レベル(VCC)が印加され、かつデータ端子51に低電圧レベル(VCC)が印加されると、PMOS71のゲートには低電圧レベル(VCC)が印加され、NMOS74のゲートにはグラウンドレベル(0V)が印加され、出力信号OUTは高電圧レベル(VDD)となる。

【0011】

また、イネーブル端子52に低電圧レベル(VCC)が印加され、かつデータ端子51にグラウンドレベル(0V)が印加されると、PMOS71のゲートには高電圧レベル(VDD)が印加され、NMOS74のゲートには低電圧レベル(VCC)が印加され、出力信号OUTはグラウンドレベル(0V)となる。したがって、3ステートバッファ回路として機能する。

【0012】

【特許文献 1】

特開平 6 - 2 1 6 7 5 2 号公報

【特許文献 2】

特許第 3 2 5 8 2 2 9 号公報

【0 0 1 3】

【発明が解決しようとする課題】

しかしながら、上記従来の出力回路では次のような問題点があった。

つまり、低電圧電源で動作するトランジスタと高電圧電源の電圧レベルよりも高いゲート酸化膜耐圧を有するトランジスタを、共に形成する必要があった。このため、ゲート酸化膜を厚くして、ゲート長を長くして高電圧に耐える MOS トランジスタを、出力回路に用いるために集積回路のチップ上に部分的に形成することになり、製造プロセスが複雑になるという問題点があった。

【0 0 1 4】

また、第 1 の従来技術（図 1 3）ではゲート酸化膜耐圧が高電圧電源レベルよりも低いトランジスタだけで出力回路を構成できる。しかし、PMOS 3 1 4 のゲート酸化膜耐圧を高電圧電源レベル（VDD）よりも低く抑えるために PMOS 3 0 9 がオフしていく効果を利用して PMOS 3 1 4 のゲート電圧（ノード N 2 1）の振幅を制限している。つまり、PMOS 3 0 9 のゲート電圧には電位 V_B が加えられているため、ノード N 2 1 の論理は L レベルであるが、電位は（V_B + V_{th}）までしか下がらない。ただし、V_{th} は PMOS のしきい値電圧の絶対値である。この PMOS 3 0 9 がオフしていきノード N 2 1 の電位が（V_B + V_{th}）へ自然と安定する現象を用いているため高速な動作ができないという問題点がある。

【0 0 1 5】

また、PMOS 3 1 4 のゲート電圧（ノード N 2 1 の電位）は VDD - （V_B + V_{th}）となり、（V_B + V_{th}）が 3 V よりも高いとするとゲート電圧は低い値となる。したがって、出力部の負荷駆動能力が低下するという問題点もあった。また、出力信号 OUT 1 が 0 V から 5 V に立ち上がる場合、つまり、NMOS 3 1 7 がオフし、PMOS 3 1 4 がオンしたとき、PMOS 3 1 5 のソース電

位は急峻にプルアップされるため、PMOS 315のゲート-ソース間電圧 V_{gs} はPMOS 314に流れる電流に等しくなるような電圧になり、PMOS 315のソース-ドレイン間には、 $V_{CC}+V_{gs}$ の電圧がかかる。同様に、出力信号OUT1が5Vから0Vに立ち下がる場合、つまり、PMOS 314がオフし、NMOS 317がオンしたとき、NMOS 316のソース電位は急峻にプルダウンされるため、NMOS 316のゲート-ソース間電圧 V_{gs} はNMOS 317に流れる電流に等しくなるような電圧になり、NMOS 316のソース-ドレイン間には、 $V_{CC}+V_{gs}$ の電圧がかかる。したがって、低電圧電源系において推奨される電圧を超える電圧が過渡的にソース-ドレイン間に印加されるので、ホットキャリアによるデバイス性能劣化につながり、信頼性に劣るという問題もあった。

【0016】

また、第2の従来技術(図14, 15)でもゲート酸化膜耐圧が高電圧電源レベルよりも低いトランジスタだけで出力回路を構成できる。しかしながら、以下のような問題点がある。

【0017】

イネーブル端子52に低電圧レベル(V_{CC})が印加され、データ端子51が低電圧レベル(V_{CC})からグラウンドレベル(0V)になると、PMOS 71のゲート電圧は低電圧レベル(V_{CC})から高電圧レベル(V_{DD})になり、NMOS 74のゲート電圧はグラウンドレベル(0V)から低電圧レベル(V_{CC})になり、出力信号OUTは高電圧レベル(V_{DD})からグラウンドレベル(0V)になる。このとき、出力パッド80につながる負荷を駆動するため、NMOS 73のソース-ドレイン間電圧は、NMOS 74に流れる電流と等しい電流がNMOS 73に流れるようなゲート-ソース電圧を V_{gs} として、 $(V_{DD}-V_{CC}+V_{gs})$ となり、ソース-ドレイン間電圧は過渡的に V_{CC} 以上になることがある。同様にPMOS 72のゲート-ソース間電圧は、PMOS 71に流れる電流と等しい電流がPMOS 72に流れるようなゲート-ソース電圧を V_{gs} として、 $(V_{CC}+V_{gs})$ 程度となり、ソース-ドレイン間電圧は過渡的に V_{CC} 以上になる。したがって、低電圧電源系において推奨される電圧を超える電圧が過

渡的にソースドレイン間に印加されるので、ホットキャリアによるデバイス性能劣化につながり、信頼性に劣るという問題があった。

【 0 0 1 8 】

また、出力ノードN3が立ち下がることにより、PMOS21のオン電流でPMOS22を経由して出力ノードN2をプルアップするので、2つのPMOS61, 62を高電圧電源VDDと低電圧電源VCCの間に直列に接続して高電圧電源VDDにソースが接続されるPMOS61のゲートを出力ノードN3に、低電圧電源VCCにドレインが接続されるPMOS62のゲートを出力ノードN2に接続して後続の出力段を駆動するバッファ回路を構成した場合、PMOS62がまだオン状態のときにPMOS61がオン状態に入るので貫通電流が高電圧電源VDDから低電圧電源VCCに流れ、無駄な消費電力が増加するという問題点があった。半導体集積回路の出力段を駆動する場合、出力段の各トランジスタは通常、数100 μ mのゲート幅を有しており、これを駆動するバッファ回路の各トランジスタのゲート幅を小さくして貫通電流を小さくすると高速性が損なわれるという問題点もあった。

【 0 0 1 9 】

本発明は、従来の半導体集積回路が有する上記問題点に鑑みてなされたものであり、本発明の目的は、高速に動作し、加えて負荷駆動能力の低下も抑えることの可能な、新規かつ改良された半導体集積回路を提供することである。

【 0 0 2 0 】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の観点によれば、半導体集積回路であって、第1の制御回路部(50)と、レベル変換回路(11a)と、第1のバッファ回路(20)、第2のバッファ回路(40)、過電圧保護回路(70)とを備えたことを特徴とする半導体集積回路が提供される(請求項1)。

【 0 0 2 1 】

第1の制御回路部(50)は、低電圧が印加される低電圧電源とグランド電圧との間の振幅を有する入力信号が印加され、低電圧電源により動作し、入力信号によって生成される第1の制御信号とその反転信号から成る第1の制御信号対と

、第 1 の制御信号から生成される第 2 の制御信号とを出力する。

【 0 0 2 2 】

レベル変換回路（1 1 a）は、第 1 の制御信号対が印加され、低電圧よりも高い高電圧と低電圧との間の振幅を有する第 1 の信号を出力する。

【 0 0 2 3 】

第 1 のバッファ回路（2 0）は、第 1 の信号がゲートに印加され、高電圧電源と第 1 の出力ノードとの間に接続された第 1 の P チャネル型 MOS トランジスタ（2 1）と、第 1 の信号がゲートに印加され、第 1 の出力ノードと低電圧電源との間に接続された第 1 の N チャネル型 MOS トランジスタ（2 2）とを備え、第 1 の出力ノードに高電圧と低電圧との間の振幅を有する第 2 の信号を出力する。

【 0 0 2 4 】

第 2 のバッファ回路（4 0）は、第 2 の制御信号がゲートに印加され、低電圧電源と第 2 の出力ノードとの間に接続された第 2 の P チャネル型 MOS トランジスタ（4 1）と、第 2 の制御信号がゲートに印加され、第 2 の出力ノードとグラウンドとの間に接続された第 2 の N チャネル型 MOS トランジスタ（4 2）とを備え、第 2 の出力ノードに低電圧とグラウンド電圧との間の振幅を有する第 3 の信号を出力する。

【 0 0 2 5 】

過電圧保護回路（7 0）は、第 2 の信号がソースに印加され、第 3 の出力ノードにドレインが接続された第 3 の P チャネル型 MOS トランジスタ（7 1）と、第 3 の信号がソースに印加され、第 3 の出力ノードにドレインが接続された第 3 の N チャネル型 MOS トランジスタ（7 2）とを備え、第 3 の P チャネル型 MOS トランジスタ、および第 3 の N チャネル型 MOS トランジスタの各ゲートに低電圧が共通に印加され第 3 の出力ノードより高電圧とグラウンド電圧の振幅を有する信号を外部に出力する。

【 0 0 2 6 】

かかる構成によれば、上記各トランジスタのゲート酸化膜には静的に低電圧レベルを超える電位が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低い MOS トランジスタのみで構成できる。さらに、従来技術（図 1 3、

および図 1 5) の出力段の構成に対して、第 1 のバッファ回路 (2 0) の第 1 の N チャンネル型 MOS トランジスタ (2 2) , および第 2 のバッファ回路 (4 0) の第 2 の P チャンネル型 MOS トランジスタ (4 1) を付加したので、より高速に動作することが可能になり、さらに、出力信号 OUT の変化時にかかる過電圧保護回路 (7 0) の第 3 の P チャンネル型 MOS トランジスタ (7 1) , および第 3 の N チャンネル型 MOS トランジスタ (7 2) のソースドレイン間電圧を小さくできる。

【 0 0 2 7 】

また、レベル変換回路 (1 1 a) の出力側に接続され、高電圧が印加される高電圧電源と低電圧電源の間で動作する、高電圧と低電圧との間の振幅を有する第 1 の信号を第 1 のバッファ回路 (2 0) に出力する前置バッファ回路 (3 0) を含むように構成することも可能である (請求項 2) 。この前置バッファ回路 (3 0) は、第 1 のバッファ回路 (2 0) に第 1 の信号が入力されるタイミングを調整することができる (請求項 3) 。

【 0 0 2 8 】

かかる構成によれば、前置バッファ回路 (3 0) を CMOS インバータで構成したため、ゲート電圧の振幅の制限にソースフォロアトランジスタのオフする効果を利用した前述の第 1 の従来技術 (図 1 3) よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる (図 1, 図 2) 。前置バッファ回路 (3 0) を第 1 のバッファ回路 (2 0) の前段に挿入した構成としたため、第 2 のバッファ回路 (4 0) のオン・オフのタイミングに対して第 1 のバッファ回路 (2 0) のオフ・オンのタイミングを設定できるので過電圧保護回路 (7 0) を介して高電圧電源からグランドにパスをもつ貫通電流を小さくできる。

【 0 0 2 9 】

上記課題を解決するため、本発明の第 2 の観点によれば、半導体集積回路であって、第 1 の制御回路部 (5 0) と、第 1 のレベル変換回路 (1 1) と、第 2 のレベル変換回路 (1.2) と、第 1 のバッファ回路 (2 0) と、第 2 のバッファ回路 (4 0) と、過電圧保護回路 (7 0) とを備えたことを特徴とする半導体集積回路が提供される (請求項 8) 。

【 0 0 3 0 】

第 1 の制御回路部 (5 0) は、低電圧が印加される低電圧電源とグランド電圧との間の振幅を有するデータ入力信号、およびイネーブル信号が印加され、低電圧電源により動作し、データ信号、およびイネーブル信号によって生成される第 1 の制御信号とその反転信号から成る第 1 の制御信号対と、データ信号、およびイネーブル信号によって生成される第 2 の制御信号とその反転信号から成る第 2 の制御信号対と、第 1 の制御信号から生成される第 3 の制御信号と、第 2 の制御信号から生成される第 4 の制御信号とを出力する。

【 0 0 3 1 】

第 1 のレベル変換回路 (1 1) は、第 1 の制御信号対が印加され、低電圧よりも高い高電圧と低電圧との間の振幅を有する第 1 の信号を出力する。

【 0 0 3 2 】

第 2 のレベル変換回路 (1 2) は、第 2 の制御信号対が印加され、低電圧よりも高い高電圧と低電圧との間の振幅を有する第 2 の信号を出力する。

【 0 0 3 3 】

第 1 のバッファ回路 (2 0) は、第 1 の信号がゲートに印加され、高電圧電源と第 1 の出力ノードとの間に接続された第 1 の P チャネル型 MOS トランジスタ (2 1) と、第 2 の信号がゲートに印加され、第 1 の出力ノードと低電圧電源との間に接続された第 1 の N チャネル型 MOS トランジスタ (2 2) とを備え、第 1 の出力ノードに高電圧と低電圧との間の振幅を有する第 3 の信号を出力する。

【 0 0 3 4 】

第 2 のバッファ回路 (4 0) は、第 3 の制御信号がゲートに印加され、低電圧電源と第 2 の出力ノードとの間に接続された第 2 の P チャネル型 MOS トランジスタ (4 1) と、第 4 の制御信号がゲートに印加され、第 2 の出力ノードとグランドとの間に接続された第 2 の N チャネル型 MOS トランジスタ (4 2) とを備え、第 2 の出力ノードに低電圧とグランド電圧との間の振幅を有する第 4 の信号を出力する。

【 0 0 3 5 】

過電圧保護回路 (7 0) は、第 3 の信号がソースに印加され、第 3 の出力ノード

ドにドレインが接続された第3のPチャネル型MOSトランジスタ(71)と、第4の信号がソースに印加され、第3の出力ノードにドレインが接続された第3のNチャネル型MOSトランジスタ(72)とを備え、第3のPチャネル型MOSトランジスタ、および第3のNチャネル型MOSトランジスタの各ゲートに低電圧が共通に印加され第3の出力ノードより高電圧とグランド電圧の振幅を有する信号を外部に出力する。

【0036】

かかる構成によれば、上記第1の観点にかかる半導体集積回路と同様な効果を有する3ステート出力回路を実現できる。さらに、出力がハイインピーダンス状態のとき、出力に高電圧レベル、またはグランドレベルの電位を印加すると、過電圧保護回路(70)によってクランプされた電圧が(ノードN6に)現れるので、(ノードN6に)低電圧電源で動作する入力回路を付加して入出力共用回路を構成することもできる。

【0037】

さらに、第1のバッファ回路(20)、および第2のバッファ回路(40)の各ゲートは各々、異なる信号によって駆動されるので、そのタイミングを調整することにより、貫通電流をより少なくするように設定できるので、より低消費電力な3ステート出力回路を実現できる。

【0038】

また、第1のレベル変換回路(11)の出力側に接続され、高電圧が印加される高電圧電源と低電圧電源の間で動作する、高電圧と低電圧との間の振幅を有する第1の信号を第1のバッファ回路(20)に出力する前置バッファ回路(30)を含むように構成することも可能である(請求項9)。この前置バッファ回路(30)は、第1のバッファ回路(20)に第1の信号が入力されるタイミングを調整することができる(請求項10)。

【0039】

かかる構成によれば、前置バッファ回路(30)をCMOSインバータで構成したため、ゲート電圧の振幅の制限にソースフォロアトランジスタのオフする効果を利用した前述の第1の従来技術(図13)よりも高速に動作し、加えて負荷

駆動能力の低下も抑えられる（図 1，図 2）。前置バッファ回路（30）を第 1 のバッファ回路（20）の前段に挿入した構成としたため，第 2 のバッファ回路（40）のオン・オフのタイミングに対して第 1 のバッファ回路（20）のオフ・オンのタイミングを設定できるので過電圧保護回路（70）を介して高電圧電源からグランドにパスをもつ貫通電流を小さくできる。

【0040】

上記第 1，第 2 の観点にかかる半導体集積回路において，以下の応用例が可能である。

【0041】

第 1 のバッファ回路（20）における第 1 の P チャネル型 MOS トランジスタ（21）のオン抵抗は過電圧保護回路（70）における第 3 の P チャネル型 MOS トランジスタ（71）のオン抵抗よりも大きく設定し，第 2 のバッファ回路（40）における第 2 の N チャネル型 MOS トランジスタ（42）のオン抵抗は過電圧保護回路（70）における第 3 の N チャネル型 MOS トランジスタ（72）のオン抵抗よりも大きく設定することも可能である（請求項 4，11）。

【0042】

かかる構成によれば，各トランジスタのソースドレイン間に，過渡状態であってもソースドレイン間耐圧を超える電圧が加わらないため，許容ソースドレイン間耐圧が高電圧電源レベルよりも低い MOS トランジスタのみで構成できる。また，上記各トランジスタのゲート酸化膜には過渡状態であっても低電圧レベルを超える電圧が加わらないため，許容ゲート酸化膜耐圧が高電圧電源レベルよりも低い MOS トランジスタのみで，より信頼性の高い半導体集積回路が構成できる。

【0043】

また，第 1 のバッファ回路（20）の第 1 の N チャネル型 MOS トランジスタ（22），および過電圧保護回路（70）の第 3 の N チャネル型 MOS トランジスタ（72）のサブストレートをそれぞれのソース側に接続して，他の N チャネル型 MOS トランジスタ（第 2 の N チャネル型 MOS トランジスタ（42）など）のサブストレートと分離することも可能である（請求項 5，12）。

【 0 0 4 4 】

かかる構成によれば、第 1 の N チャネル型 MOS トランジスタ (2 2) , および第 3 の N チャネル型 MOS トランジスタ (7 2) を基板から電氣的に分離された P ウエル領域に形成し、他の NMOS の P ウエルから分離して、各々のサブストレートをソースに接続したことによって、第 1 の N チャネル型 MOS トランジスタ (2 2) , および第 3 の N チャネル型 MOS トランジスタ (7 2) のゲート酸化膜への負荷がさらに軽減されるという効果が得られる。また、第 1 の N チャネル型 MOS トランジスタ (2 2) , および第 3 の N チャネル型 MOS トランジスタ (7 2) のドレインとサブストレートで形成される p n 接合にかかる逆バイアス電圧を軽減できる。また、第 1 の N チャネル型 MOS トランジスタ (2 2) の基板バイアス効果の影響を無くしたので、より高速な回路動作が期待できる。

【 0 0 4 5 】

また、過電圧保護回路 (7 0) の第 3 の P チャネル型 MOS トランジスタ (7 1) のサブストレートをソース側に接続して、他の P チャネル型 MOS トランジスタ (第 1 , 第 2 の P チャネル型 MOS トランジスタ (2 1 , 4 1) など) のサブストレートと分離することも可能である (請求項 6 , 1 3) 。

【 0 0 4 6 】

かかる構成によれば、第 3 の P チャネル型 MOS トランジスタ (7 1) を他の PMOS の N ウエルから分離して、各々のサブストレートをソースに接続したことによって、第 3 の P チャネル型 MOS トランジスタ (7 1) のゲート酸化膜への負荷がさらに軽減されるという効果が得られる。また、第 3 の P チャネル型 MOS トランジスタ (7 1) のドレインとサブストレートで形成される p n 接合にかかる逆バイアス電圧を軽減できる。

【 0 0 4 7 】

また、各 P チャネル型 MOS トランジスタ、および各 N チャネル型 MOS トランジスタは絶縁膜により分離された素子領域に形成することも可能である (請求項 7 , 1 4)

【 0 0 4 8 】

かかる構成によれば、 S O I 構造の MOS トランジスタを用いたことによって

、ボディ（サブストレート）をフローティング状態で使用でき、各MOSトランジスタのゲートとボディ（サブストレート）との電圧、ドレインと基板間の耐圧を考慮しなくてよい。また、ボディと基板の間の耐圧は後に説明するように、高電圧レベルVDDに対し十分大きいので、最先端の微細プロセスにおいてもより信頼性が高い半導体集積回路を製造できる。また、素子領域を完全酸化膜分離としたので、各MOSトランジスタのソース、およびドレインの寄生容量が低減され、より高速な回路動作が期待できる。さらに本実施の形態に用いたSOI構造の素子分離により、基板ノイズの低減や接合リーク電流の低減などにも効果がある。

【0049】

なお上記において、括弧書きで記した構成要素は、理解を容易にするため、後述の実施形態における対応する構成要素を記したに過ぎず、本発明がこれに限定されるものではない。

【0050】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる半導体集積回路の好適な実施の形態について詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0051】

（第1の実施の形態）

図1は、第1の実施の形態にかかる出力回路の構成を示す回路図である。

この出力回路は、図1に示したように、論理回路50（本発明の第1の制御回路部の一例）と、レベル変換回路11a（本発明のレベル変換回路の一例）と、プリバッファ回路30（本発明の前置バッファ回路の一例）と、メインバッファ回路20（本発明の第1のバッファ回路の一例）と、メインバッファ回路40（本発明の第2のバッファ回路の一例）と、過電圧保護回路70（本発明の過電圧保護回路の一例）を備えて構成されている。以下、順に説明する。

【0052】

(論理回路 5 0)

低電圧電源系の論理回路 5 0 はデータ端子 5 1 を有し、インバータ 5 3, 5 4, 5 5 で構成されている。この論理回路 5 0 の出力が図 2 に示す構成のレベル変換回路 1 1 a に接続されている。また、論理回路 5 0 の出力はメインバッファ回路 4 0 に供給されている。

【 0 0 5 3 】

(レベル変換回路 1 1 a)

レベル変換回路 1 1 a は論理回路 5 0 の出力を入力し、高電圧 (VDD) と低電圧 (VCC) の間の振幅の信号に変換して出力する。さらに、前記レベル変換回路 1 1 a の出力側にはプリバッファ回路 3 0 を介してメインバッファ回路 2 0 が接続されている。

【 0 0 5 4 】

(プリバッファ回路 3 0)

プリバッファ回路 3 0 は PMOS 3 1, NMOS 3 2 にて構成され、高電圧 (VDD) と低電圧 (VCC) の間の振幅の信号をメインバッファ回路 2 0 の PMOS 2 1, NMOS 2 2 のゲートに供給する。

【 0 0 5 5 】

(メインバッファ回路 2 0)

メインバッファ回路 2 0 は、PMOS 2 1 および NMOS 2 2 で構成され、高電圧 (VDD) と低電圧 (VCC) の間の振幅の出力信号を過電圧保護回路 7 0 に供給する。

【 0 0 5 6 】

(メインバッファ回路 4 0)

メインバッファ回路 4 0 は、PMOS 4 1 および NMOS 4 2 で構成され、グラウンドレベル (0 V) と低電圧 (VCC) の間の振幅の出力信号を過電圧保護回路 7 0 の一方の端子に供給する。

【 0 0 5 7 】

(過電圧保護回路 7 0)

過電圧保護回路 7 0 の出力信号 OUT は、出力パッド 8 0 を介して集積回路の

外部へ出力するようになっており、ゲートに低電圧レベルが共通に印加され、ドレインが互いに接続されたPMOS 71, およびNMOS 72によって構成されている。

【0058】

上記構成において、プリバッファ回路30はインバータを形成し、PMOS 31のサブストレート（N型ウエル領域）は高電圧電源VDDに接続され、NMOS 32のサブストレートはグランドに接続される。同様にメインバッファ回路20はインバータを形成し、PMOS 21のサブストレート（N型ウエル領域）は高電圧電源VDDに接続され、NMOS 22のサブストレートはグランドに接続される。また、メインバッファ回路40はインバータを形成し、PMOS 41のサブストレート（N型ウエル領域）は低電圧電源VCCに接続され、NMOS 42のサブストレートはグランドに接続される。過電圧保護回路70のPMOS 71のサブストレート（N型ウエル領域）は高電圧電源VDDに接続され、NMOS 72のサブストレートはグランドに接続される。

【0059】

（レベル変換回路11a）

図2は、レベル変換回路11aの構成を示す回路図である。

レベル変換回路11aは、図2に示したように、インバータ150と、CMOS回路110と、中間回路インバータ130と、中間回路インバータ140と、CMOS回路120と、インバータ160と、PMOS 51pと、PMOS 52pを備えて構成されている。以下、順に説明する。

【0060】

（インバータ150）

インバータ150は、高電圧電源VDDと出力信号／OUTの間に接続されゲートがノードN104に接続されたPMOS 151と、出力信号／OUTと低電圧電源VCCとの間に接続され、ゲートがノードN104に接続されたNMOS 52を有する。

【0061】

（CMOS回路110）

CMOS回路110は、高電圧が印加される高電圧電源VDD（例えば3.3V）と出力ノードN101との間に直列接続されたPMOS111, 112と、出力ノードN101とグランドの間に直列接続されたNMOS113, 114を有する。プルアップ用として機能するPMOS111のゲートはノードN104に接続され、プルダウン用として機能するNMOS114のゲートに高電圧VDDよりも低い低電圧VCC（例えば1.8V）とグランドとの間の振幅を有する入力信号INが印加され、PMOS112およびNMOS113の各ゲートに低電圧VCCが共通して印加される。

【0062】

（中間回路インバータ130）

中間回路インバータ130は、高電圧電源VDDと出力ノードN103の間に接続されゲートがノードN104に接続されたPMOS131と、出力ノードN103と低電圧電源VCCとの間に接続され、ゲートがノードN104に接続されたNMOS132を有する。

【0063】

（中間回路インバータ140）

中間回路インバータ140は、高電圧電源VDDと出力ノードN104の間に接続されゲートがノードN103に接続されたPMOS141と、出力ノードN104と低電圧電源VCCとの間に接続され、ゲートがノードN104に接続されたNMOS142を有する。

【0064】

（CMOS回路120）

CMOS回路120は、高電圧電源VDDと出力ノードN102の間に直列接続されたPMOS121, 122と、出力ノードN102とグランドの間に直列接続されたNMOS123, 124を有する。プルアップ用として機能するPMOS121のゲートはノードN103に接続され、プルダウン用として機能するNMOS124のゲートに入力信号INの反転信号/ \overline{IN} が印加され、PMOS122, およびNMOS123の各ゲートに低電圧VCCが共通して印加される。

【 0 0 6 5 】

(インバータ 1 6 0)

インバータ 1 6 0 は、高電圧電源 VDD と出力信号 OUT の間に接続されゲートがノード N 1 0 3 に接続された PMOS 1 6 1 と、出力信号 OUT と低電圧電源 VCC との間に接続され、ゲートがノード N 1 0 3 に接続された NMOS 1 6 2 を有する。

【 0 0 6 6 】

(PMOS 1 5 1 p)

PMOS 1 5 1 p は、CMOS 回路 1 1 0 の出力ノード N 1 0 1 にゲートが接続されドレインが CMOS 回路 1 1 0 の PMOS 1 1 2 のソースに接続されソースがノード N 1 0 3 に接続される。

【 0 0 6 7 】

(PMOS 1 5 2 p)

PMOS 1 5 2 p は、ゲートが CMOS 回路 1 2 0 の PMOS 1 2 2 のドレインに接続されドレインが CMOS 回路 1 2 0 の PMOS 1 2 2 のソースに接続されソースがノード N 1 0 4 に接続される。

【 0 0 6 8 】

上記構成において、中間回路インバータ 1 3 0, 1 4 0 はラッチ回路を形成し、PMOS 1 5 1 p, 1 5 2 p を経由して書き込みが行われる。CMOS 回路 1 1 0 の PMOS 1 1 2 および NMOS 1 1 3 は、それぞれ PMOS 1 1 1 および NMOS 1 1 4 の過電圧保護用として設けられ、その各ゲートには低電圧電源が共通して印加される。PMOS 1 1 1 のサブストレート (N 型ウエル領域) は PMOS 1 1 2 のサブストレートと共通して高電圧電源に接続され、NMOS 1 1 3 のサブストレートは NMOS 1 1 4 のサブストレートと共通してグランドに接続される。

【 0 0 6 9 】

同様に CMOS 回路 1 2 0 の PMOS 1 2 2 および NMOS 1 2 3 は、それぞれ PMOS 1 2 1 および NMOS 1 2 4 の過電圧保護用として設けられ、その各ゲートには低電圧電源が共通して印加される。PMOS 1 2 1 のサブストレート

(N型ウエル領域)はPMOS 1 2 2のサブストレートと共通して高電圧電源に接続され、NMOS 1 2 3のサブストレートはNMOS 1 2 4のサブストレートと共通してグランドに接続される。

【 0 0 7 0 】

中間回路インバータ 1 3 0のPMOS 1 3 1のサブストレートは高電圧電源に接続され、NMOS 1 3 2のサブストレートはグランドに接続される。

【 0 0 7 1 】

同様に、中間回路インバータ 1 4 0のPMOS 1 4 1のサブストレートは高電圧電源に接続され、NMOS 1 4 2のサブストレートはグランドに接続される。

【 0 0 7 2 】

PMOS 1 5 1 p, およびPMOS 1 5 2 pのサブストレートはそれぞれ高電圧電源に接続される。

【 0 0 7 3 】

インバータ 1 5 0のPMOS 1 5 1のサブストレートは高電圧電源に接続され、NMOS 1 5 2のサブストレートはグランドに接続される。

【 0 0 7 4 】

同様に、インバータ 1 6 0のPMOS 1 6 1のサブストレートは高電圧電源に接続され、NMOS 1 6 2のサブストレートはグランドに接続される。

【 0 0 7 5 】

上記各PMOSトランジスタ、およびNMOSトランジスタのゲート酸化膜耐圧から制限される動作電圧は電圧VCC以上であり、かつ電圧($V_{DD} - V_{CC}$)以上であり、電圧VDDよりも小さい値となっている。以下の説明では、 $V_{DD} > V_{CC} \geq (V_{DD} - V_{CC})$ の関係が成り立っているとして説明する。また、上記各PMOSトランジスタ、およびNMOSトランジスタを形成する拡散領域とサブストレート間のpn接合の逆バイアス耐圧は高電圧レベルVDDよりも大きく設定されている。

【 0 0 7 6 】

(第1の実施の形態の動作)

データ端子 5 1に低電圧レベル(VCC)が印加されると、インバータ 5 3の

出力ノードN11はグラウンドレベル(0V)になり、その信号を入力とするインバータ54は出力ノードN12に低電圧レベル(VCC)を供給する。レベル変換回路11aの入力IN、および \neg IN(INの反転信号)はそれぞれノードN12、およびノードN11に接続され、レベル変換回路11aの出力OUTには高電圧レベル(VDD)が供給される。プリバッファ回路30の出力ノードN1は低電圧レベル(VCC)になり、ノードN12に入力が接続されるインバータ55の出力ノードN3はグラウンドレベル(0V)になる。メインバッファ回路20のPMOS21はオンし、NMOS22はオフする。メインバッファ回路40のPMOS41はオンし、NMOS42はオフする。過電圧保護回路70のPMOS71はオンして、NMOS72はオフする。したがって、出力信号OUTは高電圧レベル(VDD)になる。

【0077】

一方、データ端子51にグラウンドレベル(0V)が印加されると、インバータ53の出力ノードN11は低電圧レベル(VCC)になり、その信号を入力とするインバータ54は出力ノードN12にグラウンドレベル(0V)を供給する。レベル変換回路11aの出力OUTには低電圧レベル(VCC)が供給される。プリバッファ回路30の出力ノードN1は高電圧レベル(VDD)になり、ノードN12に入力が接続されるインバータ55の出力ノードN3は低電圧レベル(VCC)になる。メインバッファ回路20のPMOS21はオフし、NMOS22はオンする。メインバッファ回路40のPMOS21はオフし、NMOS22はオンする。過電圧保護回路70のPMOS71はオフして、NMOS72はオンする。したがって、出力信号OUTはグラウンドレベル(0V)になる。

【0078】

したがって、グラウンドレベル(0V)と低電圧レベル(VCC)の間の振幅の信号をグラウンドレベル(0V)と高電圧レベル(VDD)の間の振幅の信号に変換して出力する出力回路として機能する。

【0079】

メインバッファ回路40のPMOS41は出力信号OUTがグラウンドレベル(0V)から高電圧レベル(VDD)に変化するとき、過電圧保護回路70のNM

OS 7 2 を介して出力信号OUTの立ち上がりを加速するように働き、また、メインバッファ回路20のNMOS 2 2は出力信号OUTが高電圧レベル（VDD）からグラウンドレベル（0V）に変化するとき、過電圧保護回路70のPMOS 7 1を介して出力信号OUTの立ち下りを加速するように働く。

【0080】

このような動作において、各MOSトランジスタのゲートとソースまたはドレインとの間に低電圧レベルVCC以上の電圧が印加されることはない。また、ゲートとサブストレートの間においても、上記NMOS 2 2, 3 2を除いて、低電圧レベルVCC以上の電圧が印加されることはない。MOSトランジスタがオンしてチャンネルが形成されているときは、チャンネルはソースと同電位になっているのでソース-サブストレート間電圧（VCC）によらずゲート酸化膜にはゲート-ソース間電圧しかかからない。一方、MOSトランジスタがオフしてチャンネルが形成されていないときには、ゲート-ソース間電圧 V_{gs} とソース-サブストレート間電圧 V_{sb} の和、 $V_{gs} + V_{sb}$ の電圧がゲート酸化膜とゲート下の空乏層に分圧される。 V_{sb} が増えると空乏層が広がり、ゲート酸化膜にかかる電圧はそれほど増加しない。以上の理由から V_{sb} をかけてもゲート酸化膜にかかる最大電圧は従来と変わらずゲート酸化膜の信頼性は損なわれない。

【0081】

（第1の実施の形態の効果）

以上のように、第1の実施の形態によれば、上記各トランジスタのゲート酸化膜には静的に低電圧レベルを超える電位が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成できる。さらにプリバッファ回路をCMOSインバータで構成したため、ゲート電圧の振幅の制限にソースフォロアトランジスタのオフする効果を利用した前述の第1の従来技術（図13）よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

【0082】

さらに、従来技術（図13、および図15）の出力段の構成に対して、メインバッファ回路20のNMOS 2 2、およびメインバッファ回路40のPMOS 4 1を付加したので、より高速に動作することが可能になり、さらに、出力信号O

UTの変化時にかかる過電圧保護回路70のPMOS71, およびNMOS72のソースドレイン間電圧を小さくできる。

【0083】

また、プリバッファ回路30をメインバッファ回路20の前段に挿入した構成としたため、メインバッファ回路40のオン・オフのタイミングに対してメインバッファ回路20のオフ・オンのタイミングを設定できるので過電圧保護回路70を介して高電圧電源からグランドにパスをもつ貫通電流を小さくできる。

【0084】

(第2の実施の形態)

第2の実施の形態は上記第1の実施の形態において、メインバッファ回路20のPMOS21のオン抵抗は過電圧保護回路70のPMOS71のオン抵抗よりも大きく設定し、同様にメインバッファ回路40のNMOS42のオン抵抗は過電圧保護回路70のNMOS72のオン抵抗よりも大きく設定した回路である。上記各PMOSトランジスタ, およびNMOSトランジスタのソースドレイン間耐圧から制限される動作電圧は、前記各MOSトランジスタのしきい値電圧の絶対値の最大値を V_{th} として、電圧 $(V_{CC}+V_{th})$ よりも十分大きく、かつ電圧 $(V_{DD}-V_{CC}+V_{th})$ よりも十分大きく、電圧 V_{DD} よりも小さい値となっている。

【0085】

(第2の実施の形態の動作)

データ端子51がグランドレベル(0V)から低電圧レベル(V_{CC})に変化すると、インバータ53の出力ノードN11はグランドレベル(0V)になり、その信号を入力とするインバータ54は出力ノードN12に低電圧レベル(V_{CC})を供給する。レベル変換回路11aの入力IN, および \overline{IN} はそれぞれノードN12, およびノードN11に接続され、レベル変換回路11aの出力OUTには高電圧レベル(V_{DD})が供給される。プリバッファ回路30の出力ノードN1は低電圧レベル(V_{CC})になり、ノードN12に入力が接続されるインバータ55の出力ノードN3はグランドレベル(0V)になる。メインバッファ回路20のPMOS21はオンし、NMOS22はオフする。

【0086】

メインバッファ回路40のPMOS41はオンし、NMOS42はオフする。過電圧保護回路70のPMOS71のソース電位が上がることによりPMOS71がオンし、過電圧保護回路70のNMOS72は、出力信号OUTの電位が低電圧レベル(VCC)より十分低い間はまだオンしており、出力信号OUTの電位はグラウンドレベル(0V)から立ち上がっていく。このとき、メインバッファ回路20のPMOS21のオン抵抗は過電圧保護回路70のPMOS71のオン抵抗よりも大きく設定したのでPMOS71のゲート-ソース間電圧はしきい値電圧 V_{th} を少し超える程度であり、メインバッファ回路40のPMOS41からの電流で出力信号OUTがしきい値電圧 V_{th} を少し超える程度のタイミングでメインバッファ回路20のPMOS21をオンするように設定すると過電圧保護回路70のPMOS71のソース-ドレイン間電圧は過渡的であっても低電圧レベル(VCC)程度に抑えることができる。このようにして、出力信号OUTは高電圧レベル(VDD)になる。

【0087】

一方、データ端子51が低電圧レベル(VCC)からグラウンドレベル(0V)に変化すると、インバータ53の出力ノードN11は低電圧レベル(VCC)になり、その信号を入力とするインバータ54は出力ノードN12にグラウンドレベル(0V)を供給する。レベル変換回路11aの入力IN、および \neg INはそれぞれノードN12、およびノードN11に接続され、レベル変換回路11aの出力OUTには低電圧レベル(VCC)が供給される。プリバッファ回路30の出力ノードN1は高電圧レベル(VDD)になり、ノードN12に入力が接続されるインバータ55の出力ノードN3は低電圧レベル(VCC)になる。メインバッファ回路20のPMOS21はオフし、NMOS22はオンする。メインバッファ回路40のPMOS41はオフし、NMOS42はオンする。過電圧保護回路70のNMOS72のソース電位が下がることによりNMOS72がオンし、過電圧保護回路70のPMOS71は、出力信号OUTの電位が低電圧レベル(VCC)より十分高い間はまだオンしており、出力信号OUTの電位は高電圧レベル(VDD)から立ち下がっていく。

【 0 0 8 8 】

このとき、メインバッファ回路 4 0 の NMOS 4 2 のオン抵抗は過電圧保護回路 7 0 の NMOS 7 2 のオン抵抗よりも大きく設定したので NMOS 7 2 のゲートソース間電圧はしきい値電圧 V_{th} を少し超える程度であり、メインバッファ回路 2 0 の NMOS 2 2 からの電流で出力信号 OUT が高電圧レベル (V_{DD}) からしきい値電圧 V_{th} を少し超える程度下がるタイミングでメインバッファ回路 4 0 の NMOS 4 2 をオンするように設定すると過電圧保護回路 7 0 の NMOS 7 2 のソースドレイン間電圧は過渡的であっても低電圧レベルを超えない ($V_{DD} - V_{CC}$) 程度に抑えることができる。このようにして、出力信号 OUT はグラウンドレベル (0 V) になる。

【 0 0 8 9 】

上記のように、過電圧保護回路 7 0 の PMOS 7 1、および NMOS 7 2 のソースドレイン間には、過渡状態であっても低電圧レベル (V_{CC}) 程度の電圧が印加されるように構成した。

【 0 0 9 0 】

(第 2 の実施の形態の効果)

以上のように、第 2 の実施の形態によれば、上記各トランジスタのソースドレイン間に、過渡状態であっても低電圧レベルを超える電圧が加わらないため、許容ソースドレイン間耐圧が高電圧電源レベルよりも低い MOS トランジスタのみで構成できる。また、上記各トランジスタのゲート酸化膜には過渡状態であっても低電圧レベルを超える電圧が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低い MOS トランジスタのみで、より信頼性の高い出力回路が構成できる。

【 0 0 9 1 】

(第 3 の実施の形態)

図 3 は第 3 の実施の形態を示す回路図であり、図 1 と共通の要素には同一の符号が付されている。第 3 の実施の形態は、上記第 1 の実施の形態、または第 2 の実施の形態において、プリバッファ回路 3 0 の NMOS 3 2、メインバッファ 2 0 の NMOS 2 2 のサブストレートの接続構成をグラウンドから前記各 NMOS の

ソースに換え、また、過電圧保護回路 7 0 の PMOS 7 1 のサブストレートの接続構成を高電圧電源 VDD からそのソース（ノード N 5）に接続を換え、過電圧保護回路 7 0 の NMOS 7 2 のサブストレートの接続構成をグランドからそのソース（ノード N 6）に接続を換えた構成にしたものである。上記 NMOS 3 2, NMOS 2 2, および NMOS 7 2 は、P 型基板上に形成されたディープ N ウェル領域に形成された P ウェル領域に形成され、電氣的に基板と分離された NMOS トランジスタとする。

【 0 0 9 2 】

また、本実施の形態では、図 2 のレベル変換回路 1 1 a をレベル変換回路 1 1 b に置き換えて構成している。図 4 は、レベル変換回路 1 1 b の構成を示す回路図であり、図 2 のレベル変換回路 1 1 a と共通の要素には同一の符号が付されている。

【 0 0 9 3 】

この図 4 に示したレベル変換回路 1 1 b は、図 2 に示したレベル変換回路 1 1 a において、中間回路インバータ 1 3 0 の NMOS 1 3 2, 中間回路インバータ 1 4 0 の NMOS 1 4 2, インバータ 1 5 0 の NMOS 1 5 2, およびインバータ 1 6 0 の NMOS 1 6 2 のサブストレートの接続構成をグランドから各 NMOS のソースに換え、PMOS 1 5 1 p のサブストレートの接続構成を高電圧電源 VDD から出力ノード N 1 0 3 に接続を換え、PMOS 1 5 2 p のサブストレートの接続構成を高電圧電源 VDD から出力ノード N 1 0 4 に接続を換えた構成にしたものである。上記 NMOS 1 3 2, NMOS 1 4 2, NMOS 1 5 2, および NMOS 1 6 2 は、P 型基板上に形成されたディープ N ウェル領域に形成された P ウェル領域に形成され、電氣的に基板と分離された NMOS トランジスタとする。

【 0 0 9 4 】

(第 3 の実施の形態の動作)

回路動作は上記第 1 の実施の形態、および第 2 の実施の形態と同じである。上記第 1 の実施の形態において、ゲート-サブストレートの電圧が高電圧レベル VDD であっても、ゲート酸化膜にかかる電圧は低電圧レベル VCC 程度である

ことを説明した。

【 0 0 9 5 】

(第 3 の実施の形態の効果)

第 3 の実施の形態においては NMOS 3 2, NMOS 2 2, および NMOS 7 2 を基板から電氣的に分離された P ウエル領域に形成し, また, PMOS 7 1 を他の PMOS の N ウエルから分離して, 各々ソースに接続したことによって, NMOS 3 2, NMOS 2 2, NMOS 7 2 および PMOS 7 1 のゲート酸化膜への負荷がさらに軽減されるという効果が得られる。また, NMOS 3 2, NMOS 2 2, NMOS 7 2 および PMOS 7 1 のドレインとサブストレートで形成される p n 接合にかかる逆バイアス電圧を軽減できる。また, NMOS 3 2, および NMOS 2 2 の基板バイアス効果の影響を無くしたので, より高速な回路動作が期待できる。

【 0 0 9 6 】

本実施の形態に用いた 3 重ウエル構造などの素子分離技術は, 基板ノイズの低減やリーク電流の低減などを目的として, 微細プロセスを用いた L S I に採用されるようになってきており, 数%のコスト高になるが, 今後プロセスの微細化が進むにつれてますます採用されると期待され, 本実施の形態の構成のためだけにプロセスが複雑になるようなことはない。

【 0 0 9 7 】

(第 4 の実施の形態)

図 5 は第 4 の実施の形態を示す回路図であり, 図 1 と共通の要素には同一の符号が付されている。第 4 の実施の形態は, 上記第 1 の実施の形態, 第 2 の実施の形態, または第 3 の実施の形態において, 各 MOS トランジスタを酸化膜で完全に分離されたシリコン領域に形成したものであって, SOI (Silicon On Insulator) 構造のトランジスタを用いて構成される。

【 0 0 9 8 】

図 1 におけるバルク CMOS でのウエル領域 (サブストレート) は, SOI 構造ではボディ領域と呼ばれ, 完全空乏型 SOI では, 通常ボディはフローティング状態にして, 3 端子トランジスタとして表現される。また, 部分空乏型 SOI

ではボディはフローティング状態にして用いる場合と、バルクCMOSと同様にボディをソースまたは電源レベルと接続する場合がある。バルクCMOSと同様にボディをソースまたは電源レベルと接続する場合は図1, 3に示した第1, または第3の実施の形態と同一に構成できる。図5はボディをフローティング状態にして用いる場合を示す。

【0099】

また、本実施の形態では、図2のレベル変換回路11aをレベル変換回路11cに置き換えて構成している。図6は、レベル変換回路11cの構成を示す回路図であり、図2のレベル変換回路11aと共通の要素には同一の符号が付されている。

【0100】

この図6に示したレベル変換回路11cは、図2に示したレベル変換回路11aにおいて、各MOSトランジスタを酸化膜で完全に分離されたシリコン領域に形成したものであって、SOI (Silicon On Insulator) 構造のトランジスタを用いて構成される。図2におけるバルクCMOSでのウェル領域 (サブストレート) は、SOI構造ではボディ領域と呼ばれ、完全空乏型SOIでは、通常ボディはフローティング状態にして、3端子トランジスタとして表現される。また、部分空乏型SOIではボディはフローティング状態にして用いる場合と、バルクCMOSと同様にボディをソースまたは電源レベルと接続する場合がある。バルクCMOSと同様にボディをソースまたは電源レベルと接続する場合は図2に示したレベル変換回路11a, または図4に示したレベル変換回路11bと同一に構成できる。図6はボディはフローティング状態にして用いる場合を示す。

【0101】

(第4の実施の形態の動作)

回路動作は上記第1の実施の形態、および第2の実施の形態と同じである。上記第1の実施の形態の説明において、バルクCMOSの各PMOSトランジスタ、および各NMOSトランジスタを形成する拡散領域とサブストレート間のpn接合の逆バイアス耐圧は高電圧レベルVDDよりも大きく設定されていること

を説明した。S O I 構造のウエハは表面のシリコン層の下に 1 0 0 ~ 5 0 0 n m 程度の厚さの酸化膜が埋め込み酸化膜として形成されて、各トランジスタの形成領域は互いに同程度の平面寸法の酸化膜で分離されている。したがって、バルク CMOS の各 P M O S トランジスタ、および各 N M O S トランジスタを形成する拡散領域とサブストレート間の p n 接合の逆バイアス耐圧に相当する分離酸化膜の耐圧は少なくとも 1 0 V 以上の耐圧が確保されている。

【 0 1 0 2 】

(第 4 の実施の形態の効果)

第 4 の実施の形態においては S O I 構造の M O S トランジスタを用いたことによって、ボディ（サブストレート）をフローティング状態で使用でき、各 M O S トランジスタのゲートとボディ（サブストレート）との電圧、ドレインと基板間の耐圧を考慮しなくてよい。また、ボディと基板の間の耐圧は先に説明したように、高電圧レベル V D D に対し十分大きいので、最先端の微細プロセスにおいてもより信頼性が高い半導体集積回路を製造できる。

【 0 1 0 3 】

また、素子領域を完全酸化膜分離としたので、各 M O S トランジスタのソース、およびドレインの寄生容量が低減され、より高速な回路動作が期待できる。さらに本実施の形態に用いた S O I 構造の素子分離により、基板ノイズの低減や接合リーク電流の低減などにも効果がある。

【 0 1 0 4 】

(第 5 の実施の形態)

図 7 は第 5 の実施の形態を示す回路図であり、3 ステート出力回路を構成する。

この出力回路は、図 7 に示したように、論理回路 5 0 （本発明の第 1 の制御回路部の一例）と、第 1 のレベル変換回路 1 1 （本発明の第 1 のレベル変換回路の一例）と、第 2 のレベル変換回路 1 2 （本発明の第 2 のレベル変換回路の一例）と、プリバッファ回路 3 0 （本発明の前置バッファ回路の一例）と、メインバッファ回路 2 0 （本発明の第 1 のバッファ回路の一例）と、メインバッファ回路 4 0 （本発明の第 2 のバッファ回路の一例）と、過電圧保護回路 7 0 （本発明の過

電圧保護回路の一例)を備えて構成されている。以下、順に説明する。

【0105】

(論理回路50)

低電圧電源系の論理回路50はデータ端子51、イネーブル端子52を有し、2入力NANDゲート53、2入力NORゲート57、およびインバータ54、55、56、58、59で構成されている。2入力NANDゲート53はデータ端子51、およびイネーブル端子52を入力として、その出力信号はインバータ54の入力、およびレベル変換回路11の入力／INに供給され、インバータ54の出力信号はインバータ55の入力、およびレベル変換回路11の入力INに供給される。2入力NORゲート57はデータ端子51、およびイネーブル端子52の信号の反転信号を入力として、その出力信号はインバータ58の入力、およびレベル変換回路12の入力INに供給され、インバータ58の出力信号はインバータ59の入力、およびレベル変換回路12の入力／INに供給される。また、論理回路50の出力はメインバッファ回路40に供給されている。

【0106】

(レベル変換回路11)

レベル変換回路11は論理回路50の出力を入力し、高電圧(VDD)と低電圧(VCC)の間の振幅の信号に変換して出力する。さらに、前記レベル変換回路11aの出力側にはプリバッファ回路30を介してメインバッファ回路20が接続されている。

【0107】

(レベル変換回路12)

レベル変換回路12は論理回路50の出力を入力し、高電圧(VDD)と低電圧(VCC)の間の振幅の信号に変換して出力する。さらに、前記レベル変換回路12の出力側にはメインバッファ回路20が接続されている。

【0108】

(プリバッファ回路30)

プリバッファ回路30はPMOS31、NMOS32にて構成され、高電圧(VDD)と低電圧(VCC)の間の振幅の信号をメインバッファ回路20のPM

OS 2 1 のゲートに供給する。

【 0 1 0 9 】

(メインバッファ回路 2 0)

メインバッファ回路 2 0 は、PMOS 2 1 および NMOS 2 2 で構成され、高電圧 (VDD) と低電圧 (VCC) の間の振幅の出力信号を過電圧保護回路 7 0 に供給する。

【 0 1 1 0 】

(メインバッファ回路 4 0)

メインバッファ回路 4 0 は、PMOS 4 1 および NMOS 4 2 で構成され、インバータ 5 9 の出力信号がメインバッファ回路 4 0 の NMOS 4 2 のゲートに供給され、メインバッファ回路 4 0 の PMOS 4 1 のゲートには、インバータ 5 5 の出力信号が供給され、グランドレベル (0 V) と低電圧 (VCC) の間の振幅の出力信号を過電圧保護回路 7 0 の一方の端子に供給する。

【 0 1 1 1 】

(過電圧保護回路 7 0)

過電圧保護回路 7 0 の出力信号 OUT は、出力パッド 8 0 を介して集積回路の外部へ出力するようになっており、ゲートに低電圧レベルが共通に印加され、ドレインが互いに接続された PMOS 7 1、および NMOS 7 2 によって構成されている。

【 0 1 1 2 】

上記構成において、プリバッファ回路 3 0 はインバータを形成し、PMOS 3 1 のサブストレート (N 型ウエル領域) は高電圧電源 VDD に接続され、NMOS 3 2 のサブストレートはグランドに接続される。同様にメインバッファ回路 2 0 はインバータを形成し、PMOS 2 1 のサブストレート (N 型ウエル領域) は高電圧電源 VDD に接続され、NMOS 2 2 のサブストレートはグランドに接続される。また、メインバッファ回路 4 0 はインバータを形成し、PMOS 4 1 のサブストレート (N 型ウエル領域) は低電圧電源 VCC に接続され、NMOS 4 2 のサブストレートはグランドに接続される。過電圧保護回路 7 0 の PMOS 7 1 のサブストレート (N 型ウエル領域) は高電圧電源 VDD に接続され、NMOS

S72のサブストレートはグラウンドに接続される。

【0113】

本実施の形態のレベル変換回路11、12は、図2に示した回路構成からなるレベル変換回路11aを採用するものとする。

【0114】

上記各PMOSトランジスタ、およびNMOSトランジスタのゲート酸化膜耐圧から制限される動作電圧は電圧VCC以上であり、かつ電圧($V_{DD}-V_{CC}$)以上であり、電圧VDDよりも小さい値となっている。以下の説明では、 $V_{DD} > V_{CC} \geq (V_{DD}-V_{CC})$ の関係が成り立っているとして説明する。

また、上記各PMOSトランジスタ、およびNMOSトランジスタを形成する拡散領域とサブストレート間のpn接合の逆バイアス耐圧は高電圧レベルVDDよりも大きく設定されている。

【0115】

(第5の実施の形態の動作)

イネーブル端子52にグラウンドレベル(0V)が入力されると、レベル変換回路11の出力OUTは低電圧レベル(VCC)になり、プリバッファ回路30の出力ノードN1は高電圧レベル(VDD)になり、メインバッファ回路20のPMOS21はオフする。また、レベル変換回路12の出力OUTは低電圧レベル(VCC)になり、メインバッファ回路20のNMOS22はオフする。メインバッファ回路40のPMOS41のゲートは低電圧レベル(VCC)になるので、PMOS41はオフし、メインバッファ回路40のNMOS42のゲートはグラウンドレベル(0V)になるので、NMOS42はオフし、出力信号OUTはハイインピーダンス状態になる。このとき、出力信号OUTに高電圧レベルが印加されると、過電圧保護回路70のPMOS71はオンして、ノードN5は高電圧レベル(VDD)になり、ノードN6はNMOS72のしきい値電圧を V_{tn} として($V_{CC}-V_{tn}$)になる。また、出力信号OUTにグラウンドレベル(0V)が印加されると、過電圧保護回路70のNMOS72はオンして、ノードN6はグラウンドレベル(0V)になり、ノードN5はPMOS71のしきい値電圧を V_{tp} として($V_{CC}+V_{tp}$)になる。

【 0 1 1 6 】

また、イネーブル端子52に低電圧レベル（VCC）が印加され、かつデータ端子51に低電圧レベル（VCC）が印加されると、2入力NANDゲート53の出力ノードN11はグラウンドレベル（0V）になり、その信号を入力とするインバータ54は出力ノードN12に低電圧レベル（VCC）を供給する。レベル変換回路11の入力IN、および／INはそれぞれノードN12、およびノードN11に接続され、レベル変換回路11の出力OUTには高電圧レベル（VDD）が供給され、プリバッファ回路30の出力ノードN1は低電圧レベル（VCC）になる。2入力NORゲート57の出力ノードN13はグラウンドレベル（0V）になり、その信号を入力とするインバータ58は出力ノードN14に低電圧レベル（VCC）を供給する。メインバッファ回路20のPMOS21はオンし、NMOS22はオフする。ノードN12を入力とするインバータ55の出力ノードN3はグラウンドレベル（0V）になり、ノードN14を入力とするインバータ59の出力ノードN4はグラウンドレベル（0V）になり、メインバッファ回路40のPMOS41はオンし、NMOS42はオフする。過電圧保護回路70のPMOS71はオンして、NMOS72はオフしていく。したがって、出力信号OUTは高電圧レベル（VDD）になる。

【 0 1 1 7 】

一方、イネーブル端子52に低電圧レベル（VCC）が印加され、かつデータ端子51にグラウンドレベル（0V）が印加されると、2入力NANDゲート53の出力ノードN11は低電圧レベル（VCC）になり、その信号を入力とするインバータ54は出力ノードN12にグラウンドレベル（0V）を供給する。レベル変換回路11の入力IN、および／INはそれぞれノードN12、およびノードN11に接続され、レベル変換回路11の出力OUTには低電圧レベル（VCC）が供給され、プリバッファ回路30の出力ノードN1は高電圧レベル（VDD）になる。2入力NORゲート57の出力ノードN13は低電圧レベル（VCC）になり、その信号を入力とするインバータ58は出力ノードN14にグラウンドレベル（0V）を供給する。メインバッファ回路20のPMOS21はオフし、NMOS22はオンする。ノードN12を入力とするインバータ55の出力ノード

ドN 3は低電圧レベル（VCC）になり，ノードN 1 4を入力とするインバータ5 9の出力ノードN 4は低電圧レベル（VCC）になり，メインバッファ回路4 0のPMOS 4 1はオフし，NMOS 4 2はオンする。過電圧保護回路7 0のNMOS 7 2はオンして，PMOS 7 1はオフしていく。したがって，出力信号OUTはグラウンドレベル（0 V）になる。

【0 1 1 8】

したがって，制御信号に応じてグラウンドレベル（0 V）と低電圧レベル（VCC）の間の振幅の信号をグラウンドレベル（0 V）と高電圧レベル（VDD）の間の振幅の信号に変換し，またハイインピーダンス状態を出力する3ステート出力回路として機能する。

【0 1 1 9】

メインバッファ回路4 0のPMOS 4 1は出力信号OUTがグラウンドレベル（0 V）から高電圧レベル（VDD）に変化するとき，過電圧保護回路7 0のNMOS 7 2を介して出力信号OUTの立ち上がりを加速するように働き，また，メインバッファ回路2 0のNMOS 2 2は出力信号OUTが高電圧レベル（VDD）からグラウンドレベル（0 V）に変化するとき，過電圧保護回路7 0のPMOS 7 1を介して出力信号OUTの立ち下がり加速するように働く。

【0 1 2 0】

このような動作において，各MOSトランジスタのゲートとソースまたはドレインとの間に低電圧レベルVCC以上の電圧が印加されることはない。また，ゲートとサブストレートの間においても，上記NMOS 2 2，3 2を除いて，低電圧レベルVCC以上の電圧が印加されることはない。MOSトランジスタがオンしてチャネルが形成されているときは，チャネルはソースと同電位になっているのでソース-サブストレート間電圧（VCC）によらずゲート酸化膜にはゲート-ソース間電圧しかかからない。一方，MOSトランジスタがオフしてチャネルが形成されていないときには，ゲート-ソース間電圧 V_{gs} とソース-サブストレート間電圧 V_{sb} の和， $V_{gs} + V_{sb}$ の電圧がゲート酸化膜とゲート下の空乏層に分圧される。 V_{sb} が増えると空乏層が広がり，ゲート酸化膜にかかる電圧はそれほど増加しない。以上の理由から V_{sb} をかけてもゲート酸化膜にかか

る最大電圧は従来と変わらずゲート酸化膜の信頼性は損なわれない。

【 0 1 2 1 】

(第 5 の実施の形態の効果)

以上のように、第 5 の実施の形態によれば、上記第 1 の実施の形態と同様な効果を有する 3 ステート出力回路を実現できる。また、メインバッファ回路 2 0、および 4 0 の各ゲートは各々、異なる信号によって駆動されるので、そのタイミングを調整することにより、貫通電流をより少なくするように設定できるので、より低消費電力な出力回路を実現できる。

【 0 1 2 2 】

さらに、出力がハイインピーダンス状態のとき、出力に高電圧レベル、またはグラウンドレベルの電位を印加すると、過電圧保護回路 7 0 によってクランプされた電圧がノード N 6 に現れるので、ノード N 6 に低電圧電源で動作する入力回路を付加して入出力共用回路を構成することもできる。

【 0 1 2 3 】

(第 6 の実施の形態)

第 6 の実施の形態は上記第 5 の実施の形態において、メインバッファ回路 2 0 の PMOS 2 1 のオン抵抗は過電圧保護回路 7 0 の PMOS 7 1 のオン抵抗よりも大きく設定し、同様にメインバッファ回路 4 0 の NMOS 4 2 のオン抵抗は過電圧保護回路 7 0 の NMOS 7 2 のオン抵抗よりも大きく設定した回路である。上記各 PMOS トランジスタ、および NMOS トランジスタのソースドレイン間耐圧から制限される動作電圧は、前記各 MOS トランジスタのしきい値電圧の絶対値の最大値を V_{th} として、電圧 $(V_{CC} + V_{th})$ よりも十分大きく、かつ電圧 $(V_{DD} - V_{CC} + V_{th})$ よりも十分大きく、電圧 V_{DD} よりも小さい値となっている。

【 0 1 2 4 】

イネーブル端子 5 2 にグラウンドレベル (0 V) が入力されると、レベル変換回路 1 1 の出力 OUT は低電圧レベル (V_{CC}) になり、プリバッファ回路 3 0 の出力ノード N 1 は高電圧レベル (V_{DD}) になり、メインバッファ回路 2 0 の PMOS 2 1 はオフする。また、レベル変換回路 1 2 の出力 OUT は低電圧レベル

(VCC) になり、メインバッファ回路 20 の NMOS 22 はオフする。メインバッファ回路 40 の PMOS 41 のゲートは低電圧レベル (VCC) になるので、PMOS 41 はオフし、メインバッファ回路 40 の NMOS 42 のゲートはグラウンドレベル (0 V) になるので、NMOS 42 はオフし、出力信号 OUT はハイインピーダンス状態になる。

【 0 1 2 5 】

また、イネーブル端子 52 に低電圧レベル (VCC) が印加され、かつデータ端子 51 に低電圧レベル (VCC) が印加されると、2 入力 NAND ゲート 53 の出力ノード N11 はグラウンドレベル (0 V) になり、その信号を入力とするインバータ 54 は出力ノード N12 に低電圧レベル (VCC) を供給する。レベル変換回路 11 の入力 IN、および \neg IN はそれぞれノード N12、および N11 に接続され、レベル変換回路 11 の出力 OUT には高電圧レベル (VDD) が供給され、プリバッファ回路 30 の出力ノード N1 は低電圧レベル (VCC) になる。2 入力 NOR ゲート 57 の出力ノード N13 はグラウンドレベル (0 V) になり、その信号を入力とするインバータ 58 は出力ノード N14 に低電圧レベル (VCC) を供給する。メインバッファ回路 20 の PMOS 21 はオンし、NMOS 22 はオフする。ノード N12 を入力とするインバータ 55 の出力ノード N3 はグラウンドレベル (0 V) になり、ノード N14 を入力とするインバータ 59 の出力ノード N4 はグラウンドレベル (0 V) になり、メインバッファ回路 40 の PMOS 41 はオンし、NMOS 42 はオフする。過電圧保護回路 70 の PMOS 71 のソース電位が上がることにより PMOS 71 がオンし、過電圧保護回路 70 の NMOS 72 は、出力信号 OUT の電位が低電圧レベル (VCC) より十分低い間はまだオンしており、出力信号 OUT の電位はグラウンドレベル (0 V) から立ち上がっていく。

【 0 1 2 6 】

このとき、メインバッファ回路 20 の PMOS 21 のオン抵抗は過電圧保護回路 70 の PMOS 71 のオン抵抗よりも大きく設定したので PMOS 71 のゲート-ソース間電圧はしきい値電圧 V_{th} を少し超える程度であり、メインバッファ回路 40 の PMOS 41 からの電流で出力信号 OUT がしきい値電圧 V_{th} を

少し超える程度のタイミングでメインバッファ回路 20 の PMOS 21 をオンするように設定すると過電圧保護回路 70 の PMOS 71 のソースドレイン間電圧は過渡的であっても低電圧レベル (VCC) 程度に抑えることができる。このようにして、出力信号 OUT は高電圧レベル (VDD) になる。

【 0 1 2 7 】

一方、イネーブル端子 52 に低電圧レベル (VCC) が印加され、かつデータ端子 51 にグラウンドレベル (0V) が印加されると、2入力 NAND ゲート 53 の出力ノード N11 は低電圧レベル (VCC) になり、その信号を入力とするインバータ 54 は出力ノード N12 にグラウンドレベル (0V) を供給する。レベル変換回路 11 の入力 IN、および \neg IN はそれぞれノード N12、およびノード N11 に接続され、レベル変換回路 11 の出力 OUT には低電圧レベル、(VCC) が供給され、プリバッファ回路 30 の出力ノード N1 は高電圧レベル (VDD) になる。2入力 NOR ゲート 57 の出力ノード N13 は低電圧レベル (VCC) になり、その信号を入力とするインバータ 58 は出力ノード N14 にグラウンドレベル (0V) を供給する。メインバッファ回路 20 の PMOS 21 はオフし、NMOS 22 はオンする。ノード N12 を入力とするインバータ 55 の出力ノード N3 は低電圧レベル (VCC) になり、ノード N14 を入力とするインバータ 59 の出力ノード N4 は低電圧レベル (VCC) になり、メインバッファ回路 40 の PMOS 41 はオフし、NMOS 42 はオンする。過電圧保護回路 70 の NMOS 72 のソース電位が下がることにより NMOS 72 がオンし、過電圧保護回路 70 の PMOS 71 は、出力信号 OUT の電位が低電圧レベル (VCC) より十分高い間はまだオンしており、出力信号 OUT の電位は高電圧レベル (VDD) から立ち下がっていく。

【 0 1 2 8 】

このとき、メインバッファ回路 40 の NMOS 42 のオン抵抗は過電圧保護回路 70 の NMOS 72 のオン抵抗よりも大きく設定したので NMOS 72 のゲートソース間電圧はしきい値電圧 V_{th} を少し超える程度であり、メインバッファ回路 20 の NMOS 22 からの電流で出力信号 OUT が高電圧レベル (VDD) からしきい値電圧 V_{th} を少し超える程度下がるタイミングでメインバッファ

回路 4 0 の NMOS 4 2 をオンするように設定すると過電圧保護回路 7 0 の NMOS 7 2 のソースドレイン間電圧は過渡的であっても低電圧レベルを超えない ($V_{DD} - V_{CC}$) 程度に抑えることができる。このようにして、出力信号 OUT はグランドレベル (0 V) になる。

【 0 1 2 9 】

上記のように、過電圧保護回路 7 0 の PMOS 7 1, および NMOS 7 2 のソースドレイン間には、過渡状態であっても低電圧レベル (V_{CC}) 程度の電圧が印加されるように構成した。

【 0 1 3 0 】

(第 6 の実施の形態の効果)

以上のように、第 6 の実施の形態によれば、第 2 の実施の形態と同様な効果を有する 3 ステート出力回路を構成できる。また、メインバッファ回路 2 0, および 4 0 の各ゲートは各々、異なる信号によって駆動されるので、そのタイミングを調整することにより、貫通電流をより少なくするように設定できるので、より低消費電力な出力回路を実現できる。

【 0 1 3 1 】

(第 7 の実施の形態)

図 8 は第 7 の実施の形態を示す回路図であり、図 3 と共通の要素には同一の符号が付されている。第 7 の実施の形態は、上記第 5 の実施の形態、または第 6 の実施の形態において、プリバッファ回路 3 0 の NMOS 3 2, メインバッファ 2 0 の NMOS 2 2 のサブストレートの接続構成をグランドから前記各 NMOS のソースに換え、また、過電圧保護回路 7 0 の PMOS 7 1 のサブストレートの接続構成を高電圧電源 V_{DD} からそのソース (ノード N 5) に接続を換え、過電圧保護回路 7 0 の NMOS 7 2 のサブストレートの接続構成をグランドからそのソース (ノード N 6) に接続を換えた構成にしたものである。上記 NMOS 3 2, NMOS 2 2, および NMOS 7 2 は、P 型基板上に形成されたディープ N ウェル領域に形成された P ウェル領域に形成され、電氣的に基板と分離された NMOS トランジスタとする。

【 0 1 3 2 】

本実施の形態のレベル変換回路 1 1, 1 2 は, 図 4 に示した回路構成からなるレベル変換回路 1 1 b を採用するものとする。

【 0 1 3 3 】

(第 7 の実施の形態の動作)

回路動作は上記第 5 の実施の形態, および第 6 の実施の形態と同じである。上記第 1, または第 5 の実施の形態において, ゲート-サブストレートの電圧が高電圧レベル VDD であっても, ゲート酸化膜にかかる電圧は低電圧レベル VCC 程度であることを説明した。

【 0 1 3 4 】

(第 7 の実施の形態の効果)

第 7 の実施の形態においては第 3 の実施の形態と同様な効果を有する 3 ステート出力回路を構成できる。また, メインバッファ回路 2 0, および 4 0 の各ゲートは各々, 異なる信号によって駆動されるので, そのタイミングを調整することにより, 貫通電流をより少なくするように設定できるので, より低消費電力な出力回路を実現できる。

【 0 1 3 5 】

(第 8 の実施の形態)

図 9 は第 8 の実施の形態を示す回路図であり, 図 7 と共通の要素には同一の符号が付されている。第 8 の実施の形態は, 上記第 5 の実施の形態, 第 6 の実施の形態, または第 7 の実施の形態において, 各 MOS トランジスタを酸化膜で完全に分離されたシリコン領域に形成したものであって, SOI 構造 (Silicon On Insulator) のトランジスタを用いて構成される。

【 0 1 3 6 】

本実施の形態のレベル変換回路 1 1, 1 2 は, 図 6 に示した回路構成からなるレベル変換回路 1 1 c を採用するものとする。

【 0 1 3 7 】

図 1, または図 7 におけるバルク CMOS でのウエル領域 (サブストレート) は, SOI 構造ではボディ領域と呼ばれ, 完全空乏型 SOI では, 通常ボディはフローティング状態にして, 3 端子トランジスタとして表現される。また, 部分

空乏型 S O I ではボディはフローティング状態にして用いる場合と、バルク C M O S と同様にボディをソースまたは電源レベルと接続する場合がある。バルク C M O S と同様にボディをソースまたは電源レベルと接続する場合は図 8 に示した第 7 の実施の形態と同一に構成できる。図 9 はボディをフローティング状態にして用いる場合を示す。

【 0 1 3 8 】

(第 8 の実施の形態の動作)

回路動作は上記第 5 の実施の形態、および第 6 の実施の形態と同じである。

上記第 1, または第 5 の実施の形態の説明において、バルク C M O S の各 P M O S トランジスタ, および各 N M O S トランジスタを形成する拡散領域とサブストレート間の p n 接合の逆バイアス耐圧は高電圧レベル (V D D) よりも大きく設定されていることを説明した。S O I 構造のウエハは表面のシリコン層の下に 1 0 0 ~ 5 0 0 n m 程度の厚さの酸化膜が埋め込み酸化膜として形成されて、各トランジスタの形成領域は互いに同程度の平面寸法の酸化膜で分離されている。したがって、バルク C M O S の各 P M O S トランジスタ, および各 N M O S トランジスタを形成する拡散領域とサブストレート間の p n 接合の逆バイアス耐圧に相当する分離酸化膜の耐圧は少なくとも 1 0 V 以上の耐圧が確保されている。

【 0 1 3 9 】

(第 8 の実施の形態の効果)

第 8 の実施の形態においては第 4 の実施の形態と同様な効果を有する 3 ステート出力回路を構成できる。また、メインバッファ回路 2 0, および 4 0 の各ゲートは各々、異なる信号によって駆動されるので、そのタイミングを調整することにより、貫通電流をより少なくするように設定できるので、より低消費電力な出力回路を実現できる。

【 0 1 4 0 】

(第 9 の実施の形態)

図 1 0 ~ 図 1 2 は第 9 の実施の形態を示す回路図であり、図 9 と共通の要素には同一の符号が付されている。

第 9 の実施の形態は、上記第 8 の実施の形態において、メインバッファ回路 2

0, および40の各トランジスタのオン, およびオフのタイミングを調整するために遅延調整回路を付加した構成とした。図12に示す第9の実施の形態は図9に対して, 制御回路50のインバータ59の出力とメインバッファ回路40のNMOSトランジスタ42のゲートとの間に遅延調整回路(DLY1)110を挿入し, 制御回路50のインバータ55の出力とメインバッファ回路40のPMOSトランジスタ41のゲートとの間に遅延調整回路(DLY1)111を挿入し, プリバッファ回路30の出力とメインバッファ回路20のPMOSトランジスタ21のゲートとの間に遅延調整回路(DLY2)121を挿入し, レベル変換器12の出力OUTとメインバッファ回路20のNMOSトランジスタ22のゲートとの間に遅延調整回路(DLY2)120を挿入した。

【0141】

遅延調整回路DLY1の構成を図10に示す。

入力INはインバータ81と2入力NOR回路85の第1の入力に接続される。インバータ81の出力は2入力NOR回路82の第1の入力に接続される。2入力NOR回路82の出力はインバータ83の入力および2入力NOR回路85の第2の入力に接続される。2入力NOR回路85の出力はインバータ86, 87, およびNMOSトランジスタ88, 89にて構成される遅延回路に入力され, その遅延回路の出力は2入力NOR回路82の第2の入力に接続される。インバータ83の出力はインバータ84の入力に接続され, インバータ84の出力は出力OUTに接続される。上記各インバータ, および2入力NOR回路は低電圧レベル(VCC)とグラウンドレベルの電源電圧によって動作する。NMOSトランジスタ88, 89の各ソース, ドレインはグラウンドレベルに接続される。NMOSトランジスタ88はインバータ86の負荷容量として, NMOSトランジスタ89はインバータ87の負荷容量として付加され遅延時間を増加させる。

【0142】

遅延調整回路DLY2の構成を図11に示す。

入力INは高電圧レベル(VDD)と低電圧レベル(VCC)との間の振幅を有する信号であって, インバータ200と2入力NAND回路240の第1の入力に接続される。インバータ200の出力は2入力NAND回路210の第1の

入力に接続される。2入力NAND回路210の出力はインバータ220の入力および2入力NAND回路240の第2の入力に接続される。2入力NOR回路240の出力はインバータ250, 260, およびNMOSトランジスタ270, 280にて構成される遅延回路に入力され, その遅延回路の出力は2入力NAND回路210の第2の入力に接続される。インバータ220の出力はインバータ230の入力に接続され, インバータ230の出力は出力OUTに接続される。上記各インバータ, および2入力NAND回路は高電圧レベル(VDD)と低電圧レベル(VCC)の電源電圧によって動作する。NMOSトランジスタ270, 280の各ソース, ドレインは低電圧レベル(VCC)に接続される。NMOSトランジスタ270はインバータ250の負荷容量として, NMOSトランジスタ280はインバータ260の負荷容量として付加され遅延時間を増加させる。

【0143】

(第9の実施の形態の動作)

図10の遅延調整回路DLY1の回路動作について説明する。まず, 入力INがグラウンドレベルのとき, インバータ81により2入力NOR回路82の出力はグラウンドレベルになる。2入力NOR回路85の出力は入力と共にグラウンドレベルであるので低電圧レベル(VCC)になる。したがって, インバータ86, 87を介して2入力NOR回路82の入力は共に低電圧レベル(VCC)になり, 入力INの信号がラッチされる。出力OUTはインバータ83, 84を介してグラウンドレベルになる。

【0144】

次に, 入力INがグラウンドレベルから低電圧レベル(VCC)になると, 2入力NOR回路85の出力がグラウンドレベルになるとともにインバータ81の出力がグラウンドレベルになる。2入力NOR回路82はインバータ86, 87を介して遅延された信号が入力されてから出力に低電圧レベル(VCC)を出力する。インバータ83, 84を経由して出力OUTは低電圧レベル(VCC)になる。

【0145】

次に, 入力INが低電圧レベル(VCC)からグラウンドレベルになると, イン

バータ 8 1 の出力が低電圧レベル (VCC) になり、2 入力 NOR 回路 8 2 はグラウンドレベルになる。インバータ 8 3, 8 4 を経由して出力 OUT はグラウンドレベルになる。2 入力 NOR 回路 8 5 は 2 入力 NOR 回路 8 2 の出力を受けて低電圧レベル (VCC) になる。したがって、立ち下がり遅延時間が速く、立ち上がり遅延時間が遅い遅延調整回路として動作する。

【 0 1 4 6 】

図 1 1 の遅延調整回路 DLY 2 の回路動作について説明する。

まず、入力 IN が低電圧レベル (VCC) のとき、インバータ 2 0 0 の出力は高電圧レベル (VDD) になり、2 入力 NAND 回路 2 4 0 の出力は高電圧レベル (VDD) になる。インバータ 2 5 0, 2 6 0 を介して 2 入力 NAND 回路 2 1 0 の入力は共に高電圧レベル (VDD) になり、2 入力 NAND 回路 2 1 0 の出力は入力が共に高電圧レベル (VDD) であるので低電圧レベル (VCC) になる。したがって、2 入力 NAND 回路 2 4 0 の入力と共に低電圧レベル (VCC) になって、入力 IN の信号がラッチされる。出力 OUT はインバータ 2 2 0, 2 3 0 を介して低電圧レベル (VCC) になる。

【 0 1 4 7 】

次に、入力 IN が低電圧レベル (VCC) から高電圧レベル (VDD) になると、インバータ 2 0 0 の出力が低電圧レベル (VCC) になり、2 入力 NAND 回路 2 1 0 の出力は高電圧レベル (VDD) になる。インバータ 2 2 0, 2 3 0 を経由して出力 OUT は高電圧レベル (VDD) になる。2 入力 NAND 回路 2 4 0 は 2 入力 NAND 回路 2 1 0 の出力を受けて低電圧レベル (VCC) になる。

【 0 1 4 8 】

次に、入力 IN が高電圧レベル (VDD) から低電圧レベル (VCC) になると、2 入力 NAND 回路 2 4 0 の出力が高電圧レベル (VDD) になるとともにインバータ 8 1 の出力が高電圧レベル (VDD) になる。2 入力 NAND 回路 2 1 0 はインバータ 2 5 0, 2 6 0 を介して遅延された信号が入力されてから出力に低電圧レベル (VCC) を出力する。インバータ 2 2 0, 2 3 0 を経由して出力 OUT は低電圧レベル (VCC) になる。したがって、立ち下がり遅延時間が

遅く、立ち上がり遅延時間が速い遅延調整回路として動作する。

【 0 1 4 9 】

次に、図 1 2 の出力回路の回路動作について説明する。図 9 に示した回路と動作はほぼ同じであり、遅延調整回路を付加したことによる違いについて説明する。

【 0 1 5 0 】

入力データ端子 5 1 がグランドレベル、イネーブル端子 5 2 が低電圧レベルであるとき、ノード N 1, N 2, N 3, N 4 はそれぞれ高電圧レベル (VDD), 高電圧レベル (VDD), 低電圧レベル (VCC), 低電圧レベル (VCC) になる。次に入力データ端子 5 1 がグランドレベルから低電圧レベル (VCC) になると、遅延調整回路 DLY 1 の立ち下がり遅延時間は速く設定してあるので、遅延調整回路 1 1 0 の出力であるノード N 4, および遅延調整回路 1 1 1 の出力であるノード N 3 がグランドレベルになる。その後、遅延調整回路 DLY 2 の立ち下がり遅延時間は遅く設定してあるので、遅延調整回路 1 2 0 の出力であるノード N 2, および遅延調整回路 1 2 1 の出力であるノード N 1 が低電圧レベル (VCC) になる。したがって、メインバッファ回路 4 0 の NMOS トランジスタ 4 2 がオフし、メインバッファ回路 4 0 の PMOS トランジスタ 4 1 がオンした後、メインバッファ回路 2 0 の NMOS トランジスタ 2 2 がオフしメインバッファ回路 2 0 の PMOS トランジスタ 2 1 がオンして出力 OUT は高電圧レベル (VDD) になる。

【 0 1 5 1 】

次に入力データ端子 5 1 が低電圧レベル (VCC) からグランドレベルになると、遅延調整回路 DLY 2 の立ち上がり遅延時間は速く設定してあるので、遅延調整回路 1 2 0 の出力であるノード N 2, および遅延調整回路 1 2 1 の出力であるノード N 1 がまず高電圧レベル (VDD) になる。その後、遅延調整回路 DLY 1 の立ち上がり遅延時間は遅く設定してあるので、遅延調整回路 1 1 0 の出力であるノード N 4, および遅延調整回路 1 1 1 の出力であるノード N 3 が低電圧レベル (VCC) になる。したがって、メインバッファ回路 2 0 の PMOS トランジスタ 2 1 がオフしメインバッファ回路 2 0 の NMOS トランジスタ 2 2 がオ

ンしてした後、メインバッファ回路40のPMOSトランジスタ42がオフし、メインバッファ回路40のNMOSトランジスタ41がオンして出力OUTはグランドレベルになる。

【0152】

第9の実施の形態によれば出力段のトランジスタのオン、およびオフのタイミングを調整したので、トランジスタ21, 71, 72, 42を経由して流れる貫通電流をより少なくでき、より低消費電力な出力回路を実現できる。

【0153】

以上、添付図面を参照しながら本発明にかかる半導体集積回路の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0154】

例えば、上記実施の形態においては、CMOSインバータ回路によりメインバッファ回路20, 40が各々構成されているが、本発明はこれに限定されない。例えば、図1のメインバッファ回路20を高電圧電源と低電圧電源間にて動作する2入力NAND回路20に、メインバッファ回路40を低電圧電源とグランド間にて動作する2入力NAND回路40に置換えて、出力レベルを固定する信号（以下、固定信号という。）、およびそのレベル変換した信号をそれぞれ2入力NAND回路20, 40に入力するように構成することが可能である。固定信号をグランドレベルにするとノードN5は高電圧レベルになり、ノードN6は低電圧レベルになり出力OUTは高電圧レベルに設定することができ、テスト時の出力レベルの設定が容易になる。なお、固定信号が低電圧レベルのときは第1の実施の形態と同様である。すなわち、メインバッファ回路20は、高電圧レベル（VDD）と低電圧レベル（VCC）との間の振幅を有する信号を出力する論理回路であって、メインバッファ回路40は、低電圧レベル（VCC）とグランドレベルの振幅を有する信号を出力する論理回路であって、過電圧保護回路70にそれぞれ出力信号を供給するように構成してもよい。

【0155】

また、プリバッファ回路30、および制御回路50のインバータ55、59はメインバッファ回路20、または40を駆動するための回路であって、省略しても追加してもよい。

【0156】

第5～第9の実施の形態ではCMOS回路50の出力信号をレベル変換回路11、12に入力する構成について説明したが、データ信号、およびイネーブル信号をそれぞれレベル変換した後に制御信号を生成するプリバッファ回路を構成してメインバッファ回路20を駆動するようにしても動作が損なわれることはない。

【0157】

また、MOSトランジスタに接続される低電圧電源を個別に異なる低電圧電源、またはバイアス回路に接続することによりトランジスタのオン抵抗を調節することができ、ゲート幅、またはゲート長の設定に自由度を持たせることも可能となる。

【0158】

以上、3Vと1.8Vの2電源を前提に説明したが、0.1 μ m世代のデバイスでは、ゲート酸化膜耐圧が1.3V程度になることが予想され、高電圧が1.8V、低電圧が1.0Vというような組み合わせで本発明を適用することも可能である。

【0159】

【発明の効果】

以上説明したように、本発明によれば、上記各トランジスタのゲート酸化膜には静的に低電圧レベルを超える電位が加わらないため、許容ゲート酸化膜耐圧が高電圧電源レベルよりも低いMOSトランジスタのみで構成できる。さらに、従来技術(図13～図15)の出力段の構成に対して、第1のバッファ回路の第1のNチャネル型MOSトランジスタ、および第2のバッファ回路の第2のPチャネル型MOSトランジスタを付加したので、より高速に動作することが可能になり、さらに、出力信号OUTの変化時にかかる過電圧保護回路の第3のPチャネ

ル型MOSトランジスタ、および第3のNチャネル型MOSトランジスタのソースドレイン間電圧を小さくできる。

【0160】

さらに、本明細書で説明したさまざまな応用例を適用することにより、さらなる優れた効果を得ることが可能である。

【図面の簡単な説明】

【図1】

第1、第2の実施の形態にかかる出力回路の説明図である。

【図2】

図1の出力回路に用いられるレベル変換回路の説明図である。

【図3】

第3の実施の形態にかかる出力回路の説明図である。

【図4】

図3の出力回路に用いられるレベル変換回路の説明図である。

【図5】

第4の実施の形態にかかる出力回路の説明図である。

【図6】

図5の出力回路に用いられるレベル変換回路の説明図である。

【図7】

第5、第6の実施の形態にかかる出力回路の説明図である。

【図8】

第7の実施の形態にかかる出力回路の説明図である。

【図9】

第8の実施の形態にかかる出力回路の説明図である。

【図10】

遅延調整回路DLY1の構成を示す説明図である。

【図11】

遅延調整回路DLY2の構成を示す説明図である。

【図12】

第 9 の実施の形態にかかる出力回路の説明図である。

【図 1 3】

第 1 の従来技術にかかるレベル変換回路の説明図である。

【図 1 4】

第 2 の従来技術にかかるレベル変換回路の説明図である。

【図 1 5】

図 1 4 のレベル変換回路を用いた従来の出力回路の説明図である。

【符号の説明】

1 1 (1 1 a , 1 1 b , 1 1 c) レベル変換回路 (第 1 のレベル変換回路)

1 2 (1 1 a , 1 1 b , 1 1 c) レベル変換回路 (第 2 のレベル変換回路)

2 0 メインバッファ回路 (第 1 のバッファ回路)

2 1 PMOS (第 1 の P チャネル型 MOS トランジスタ)

2 2 NMOS (第 1 の N チャネル型 MOS トランジスタ)

3 0 プリバッファ回路 (前置バッファ回路)

3 1 PMOS

3 2 NMOS

4 0 メインバッファ回路 (第 2 のバッファ回路)

4 1 PMOS (第 2 の P チャネル型 MOS トランジスタ)

4 2 NMOS (第 2 の N チャネル型 MOS トランジスタ)

5 0 論理回路 (制御回路部)

5 1 データ端子

5 3 , 5 4 , 5 5 インバータ

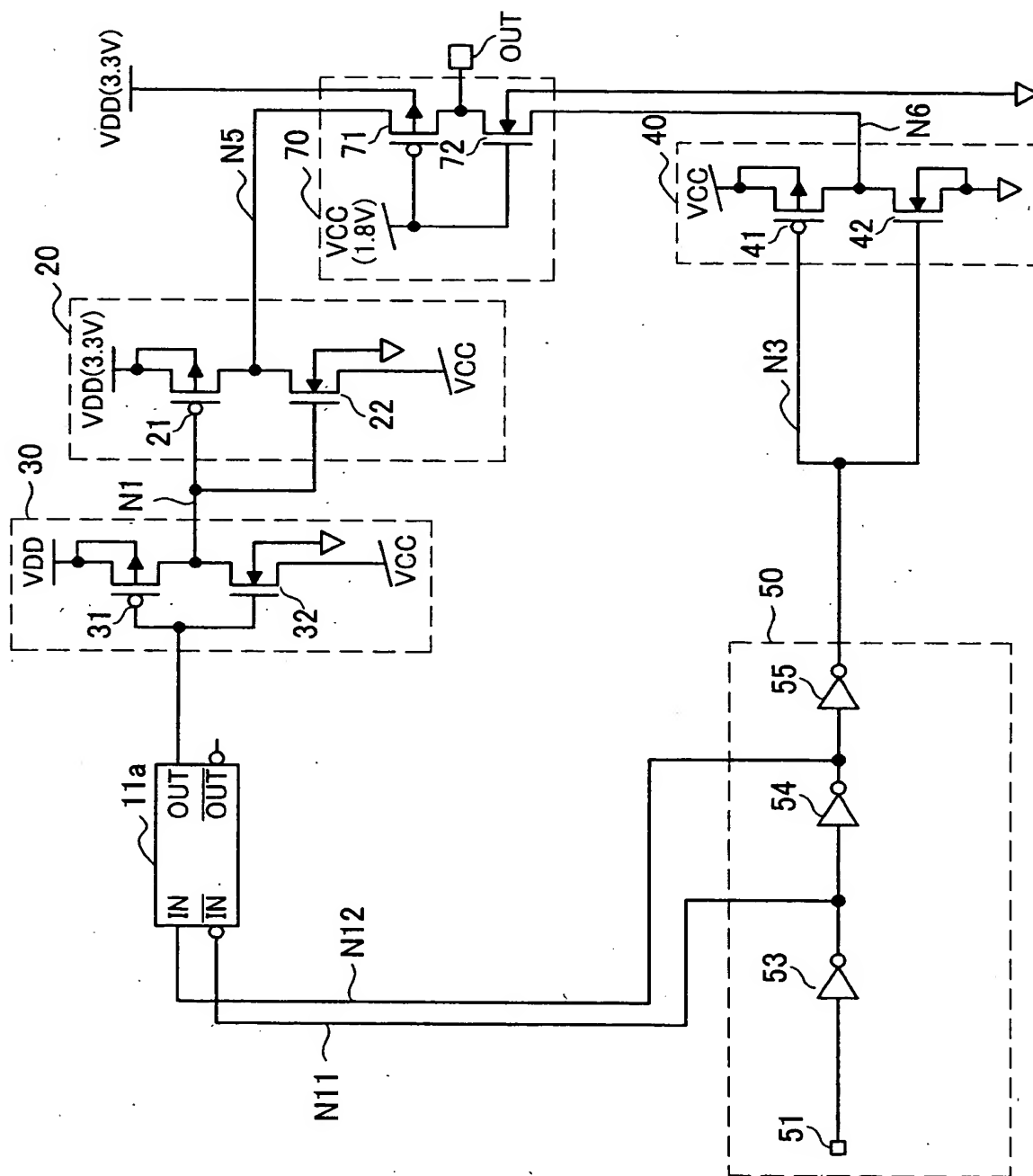
7 0 過電圧保護回路

7 1 PMOS (第 3 の P チャネル型 MOS トランジスタ)

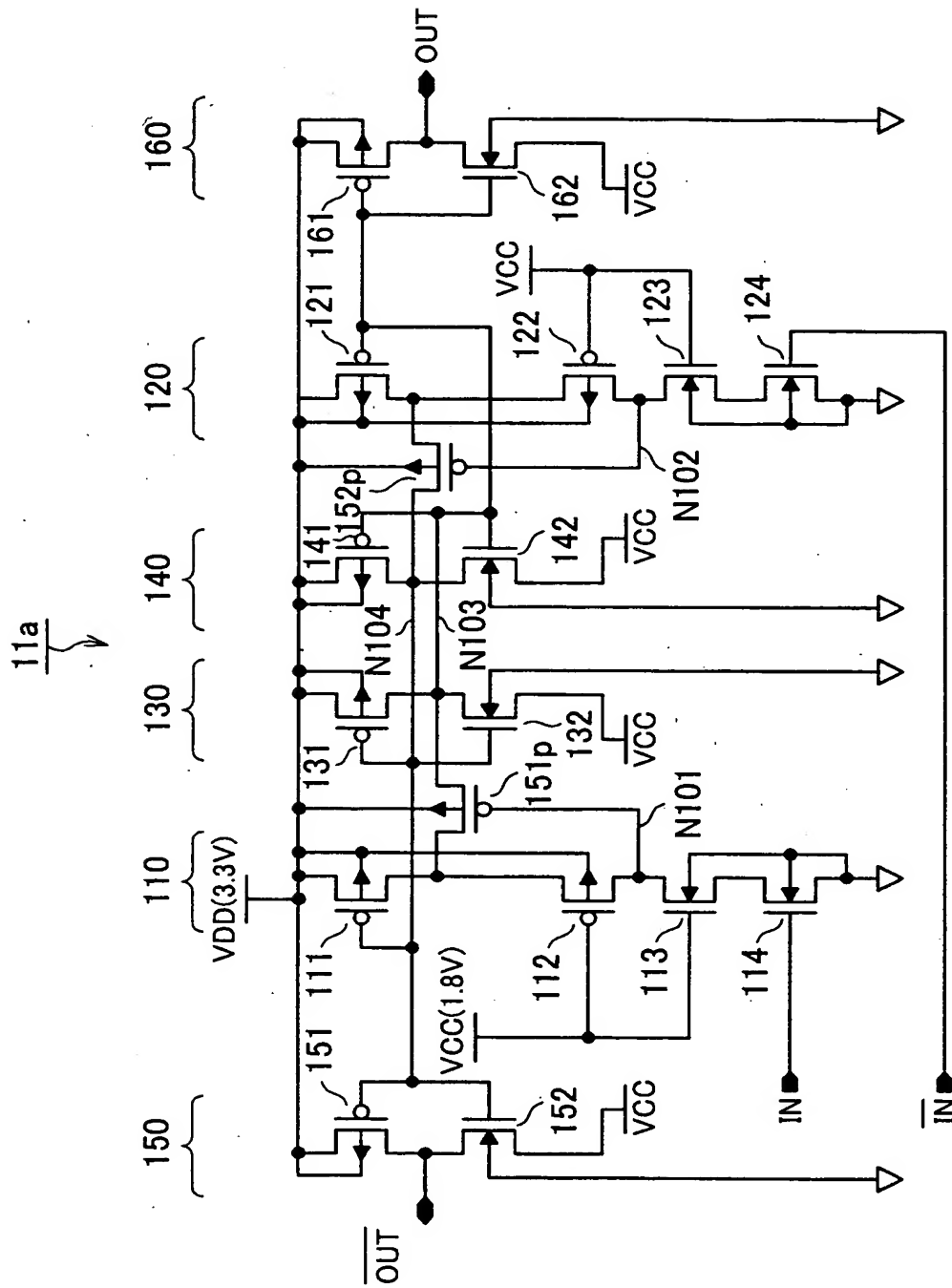
7 2 NMOS (第 3 の N チャネル型 MOS トランジスタ)

【書類名】 図面

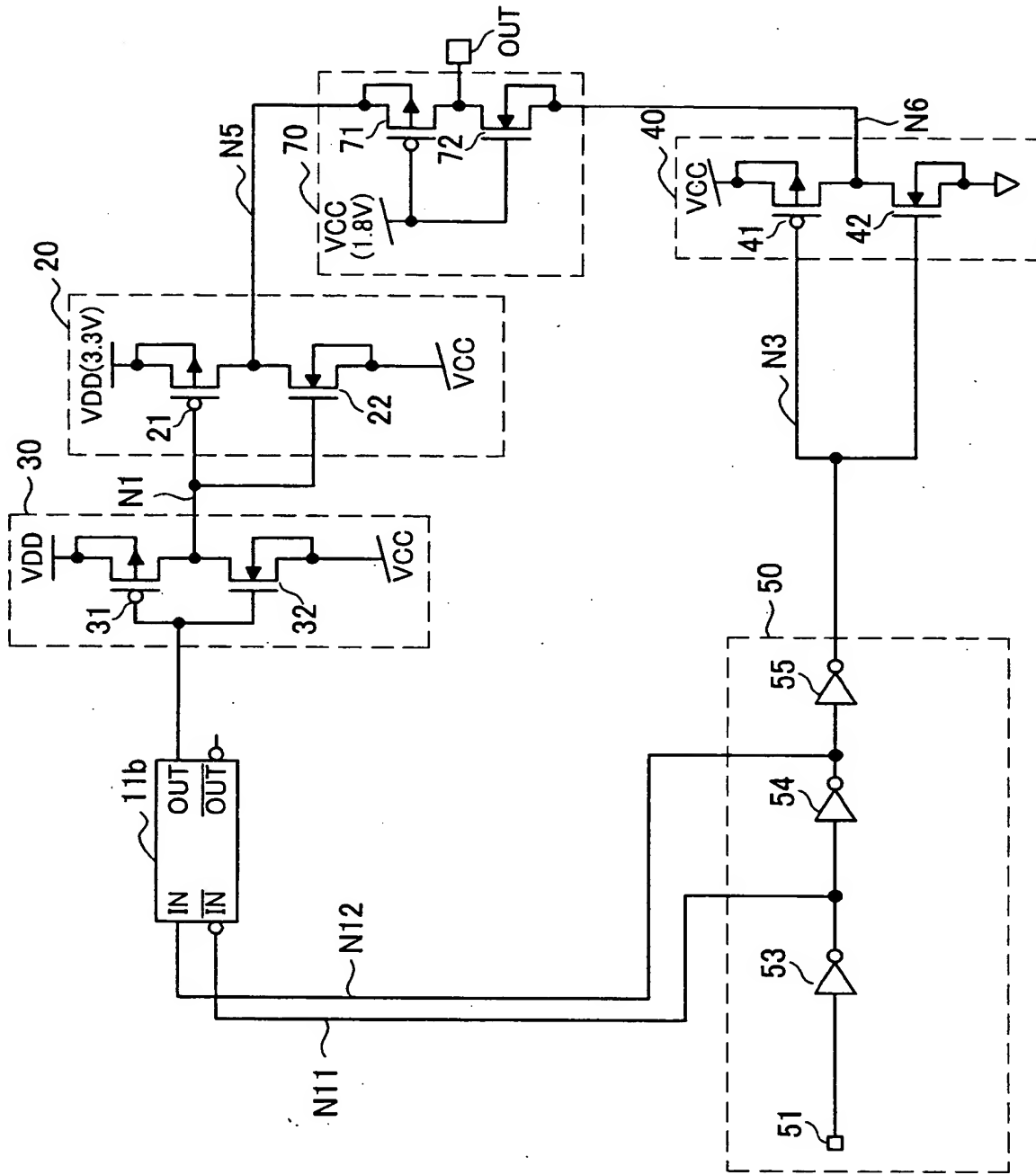
【図 1】



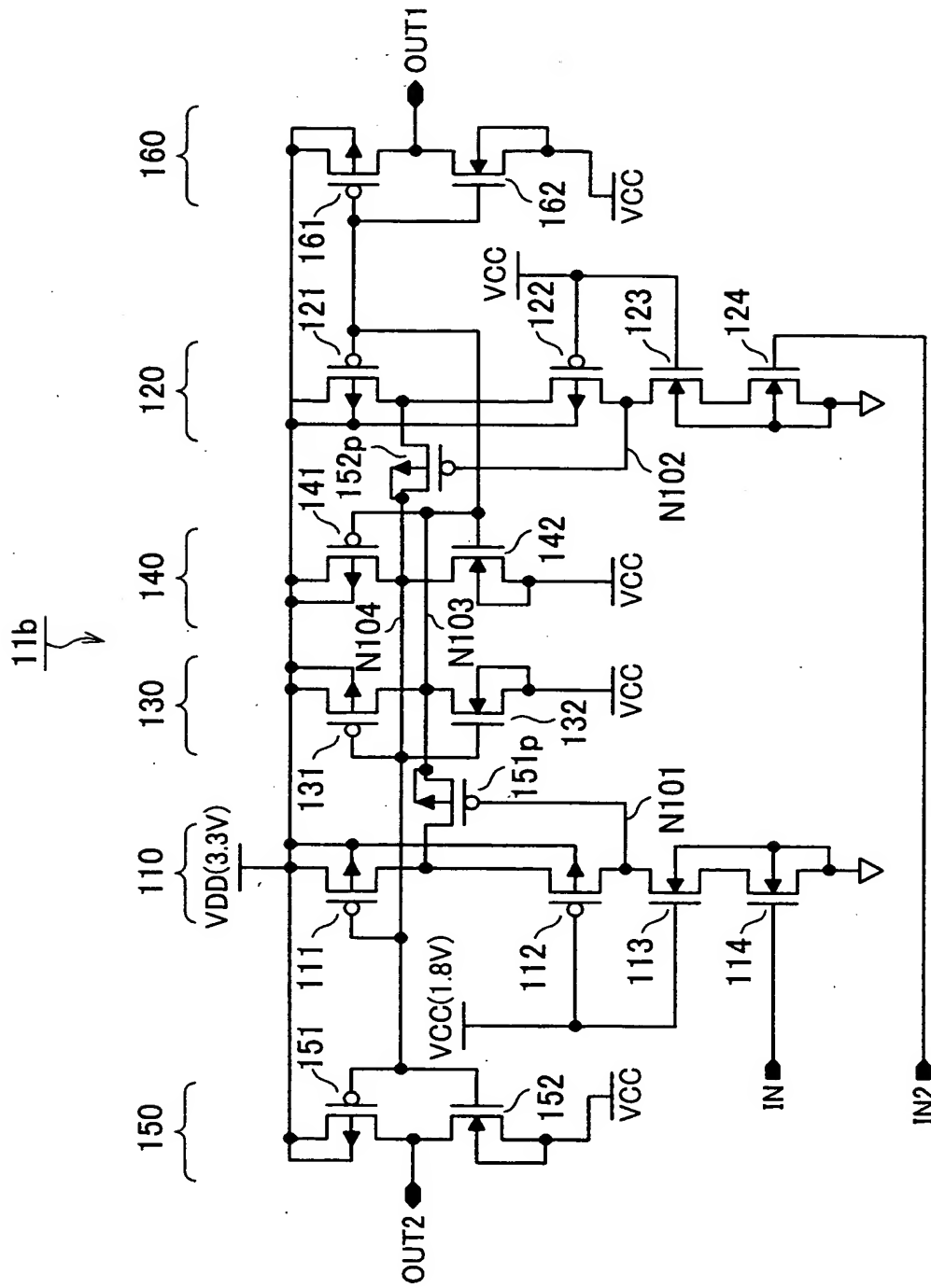
【図 2】



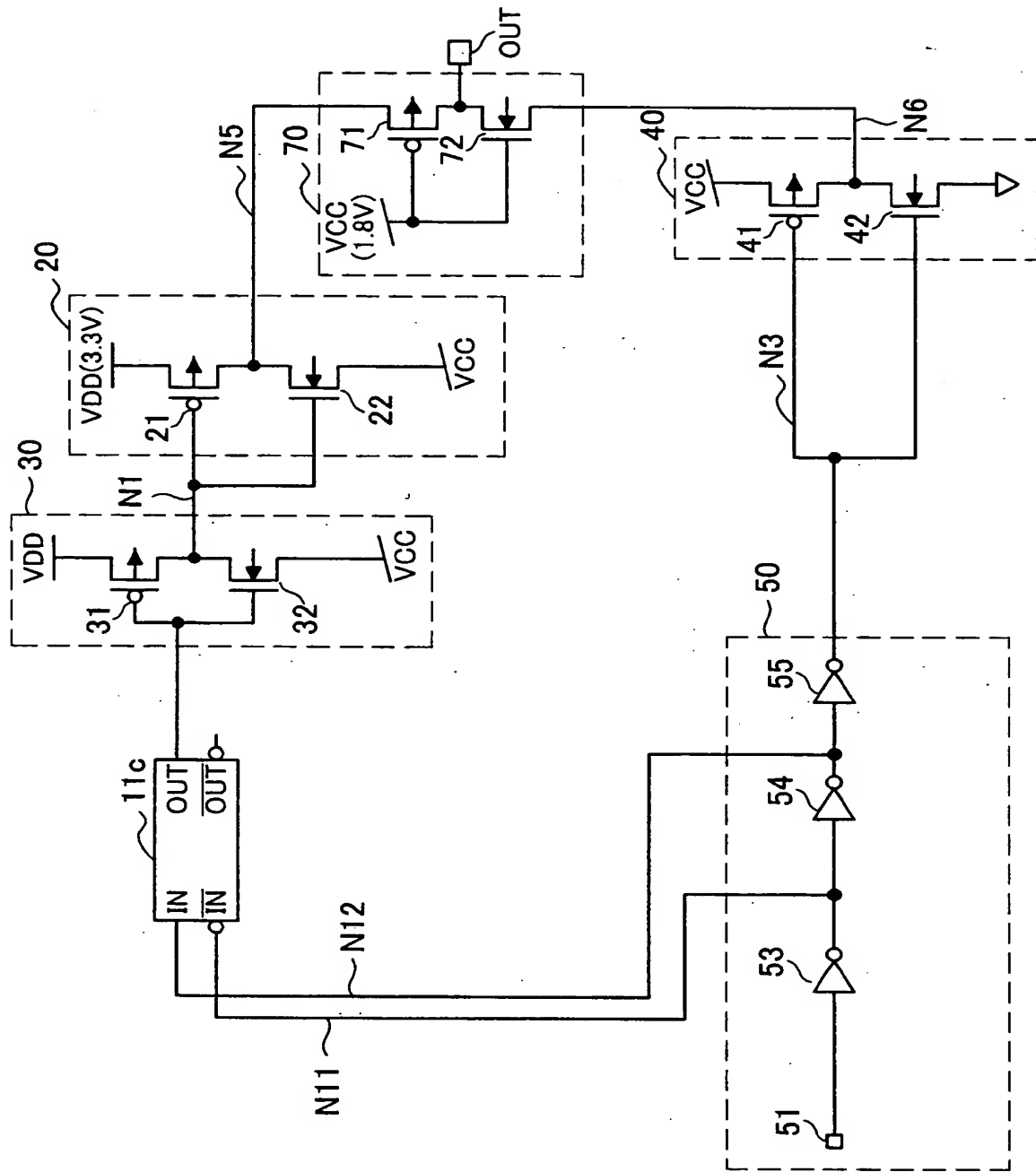
【図 3】



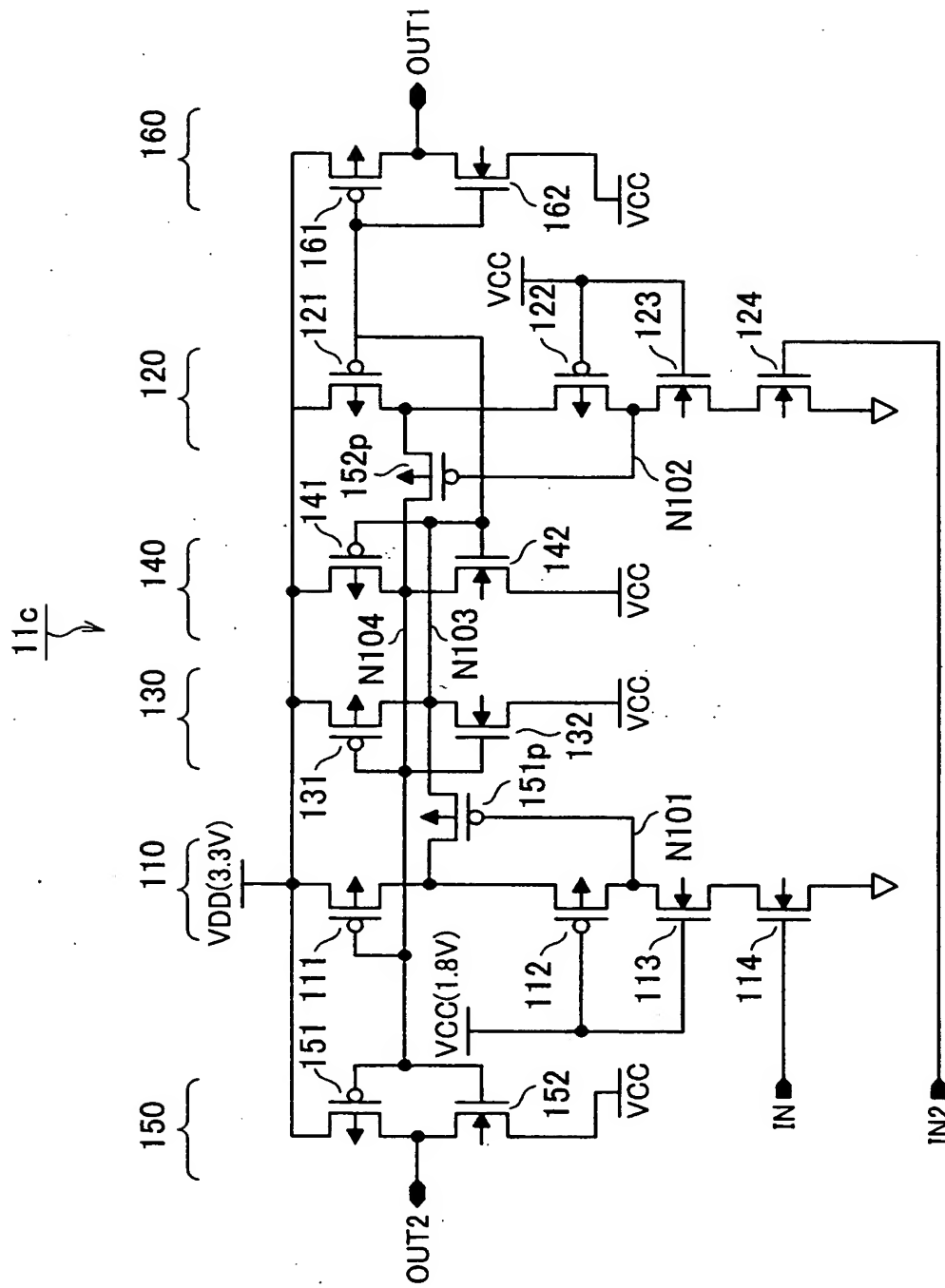
【図 4】



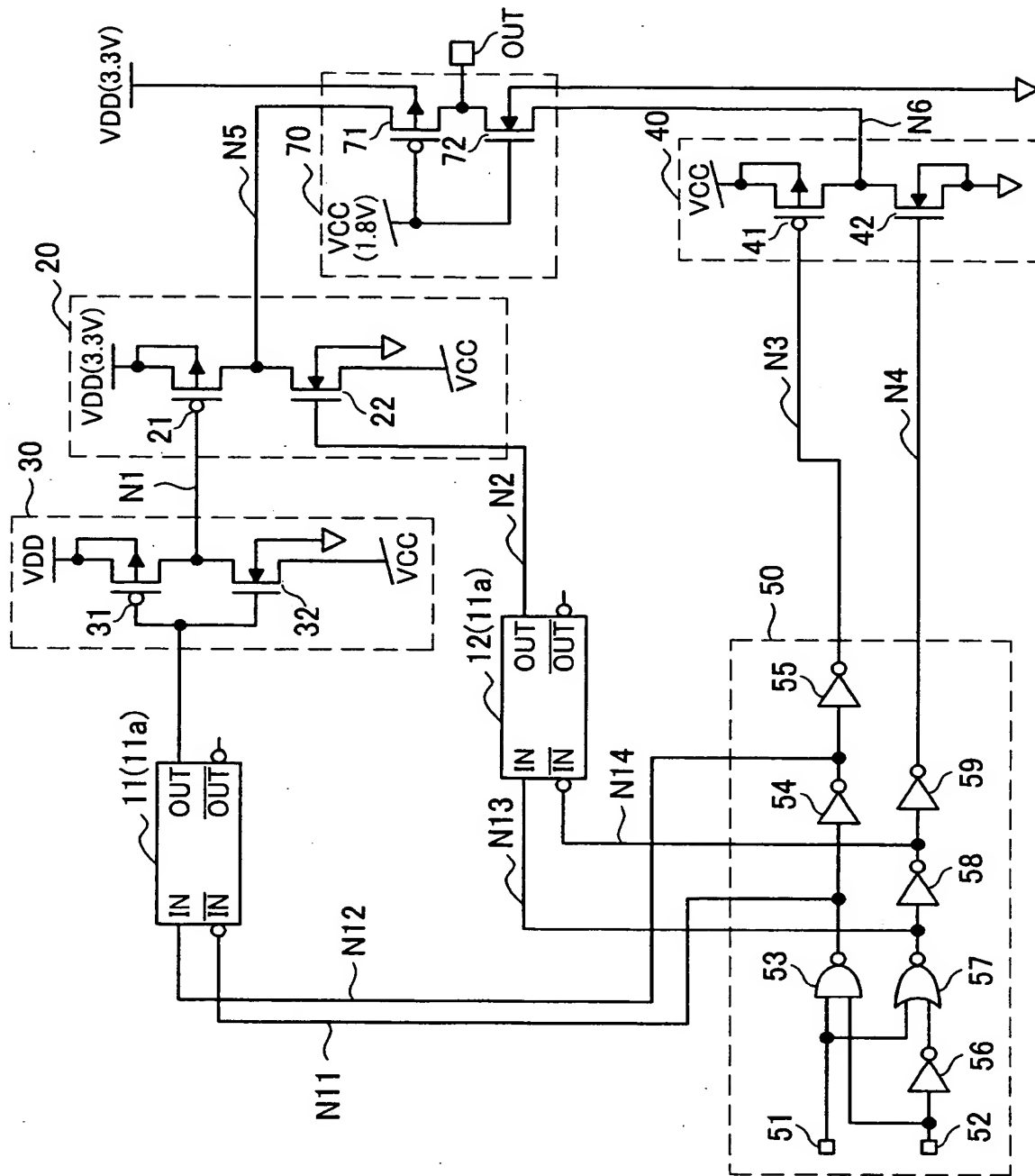
【図 5】



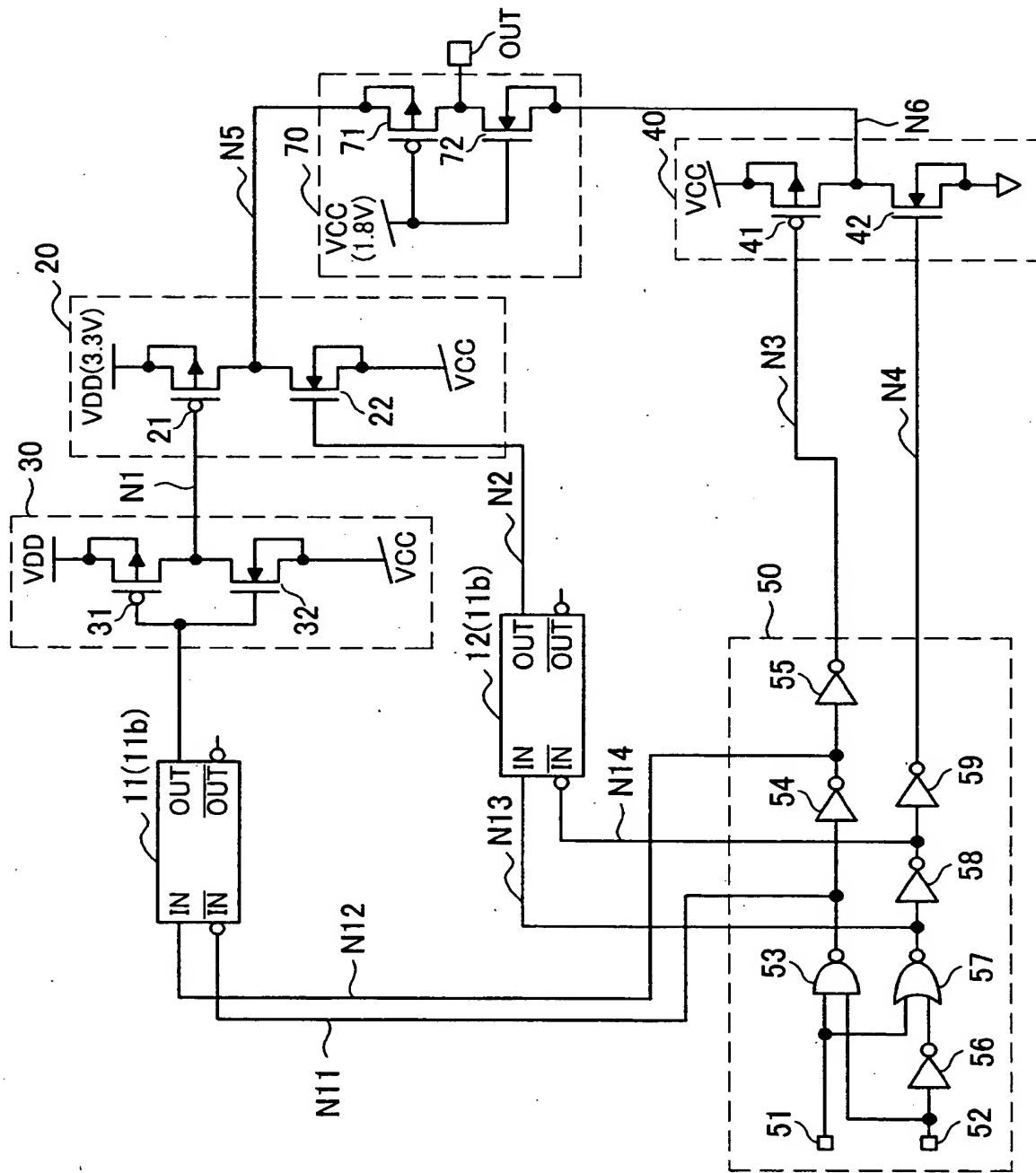
【図 6】



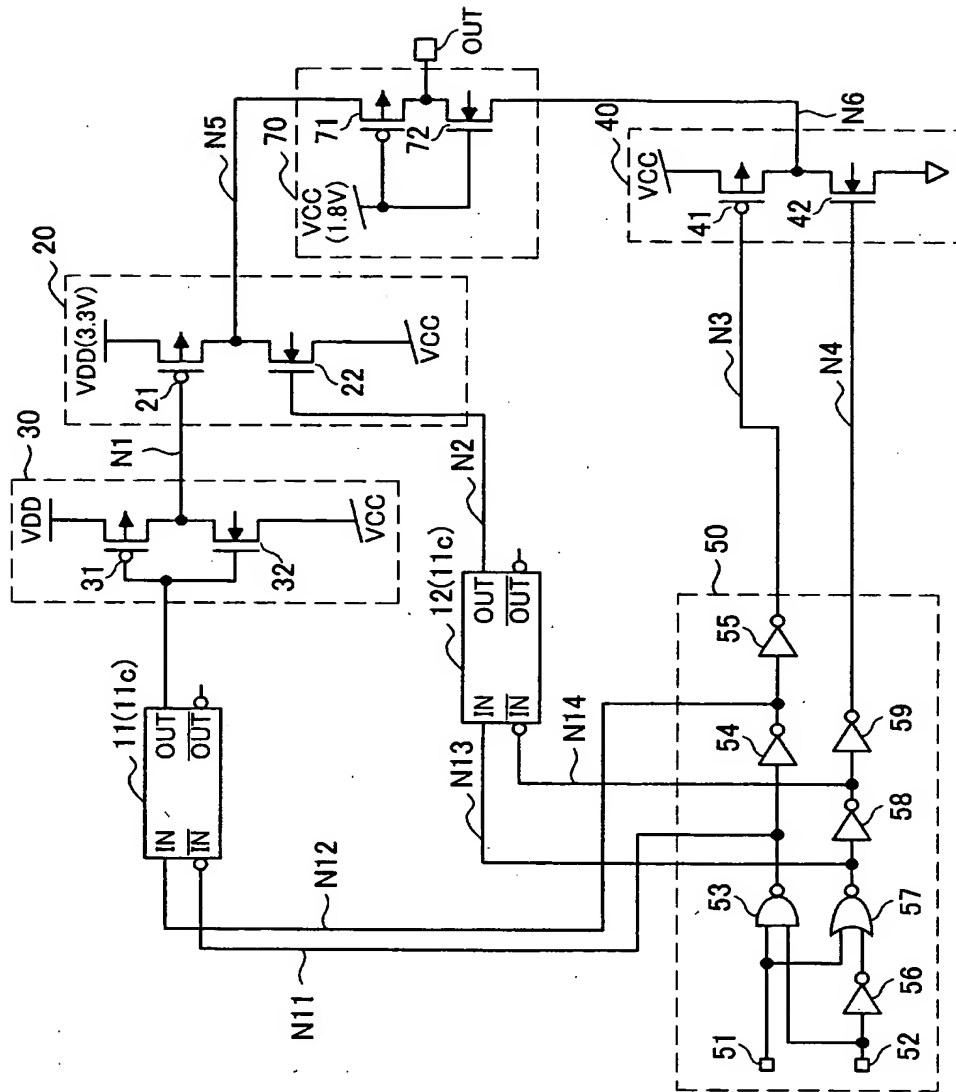
【図 7】



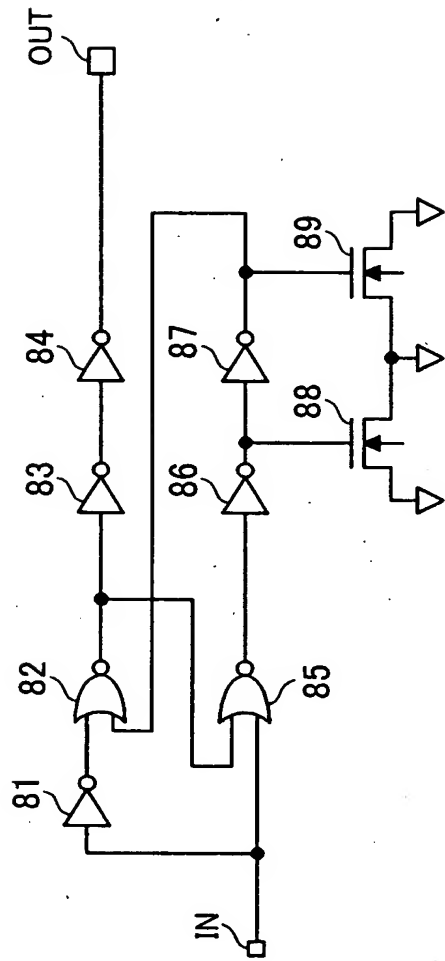
【図 8】



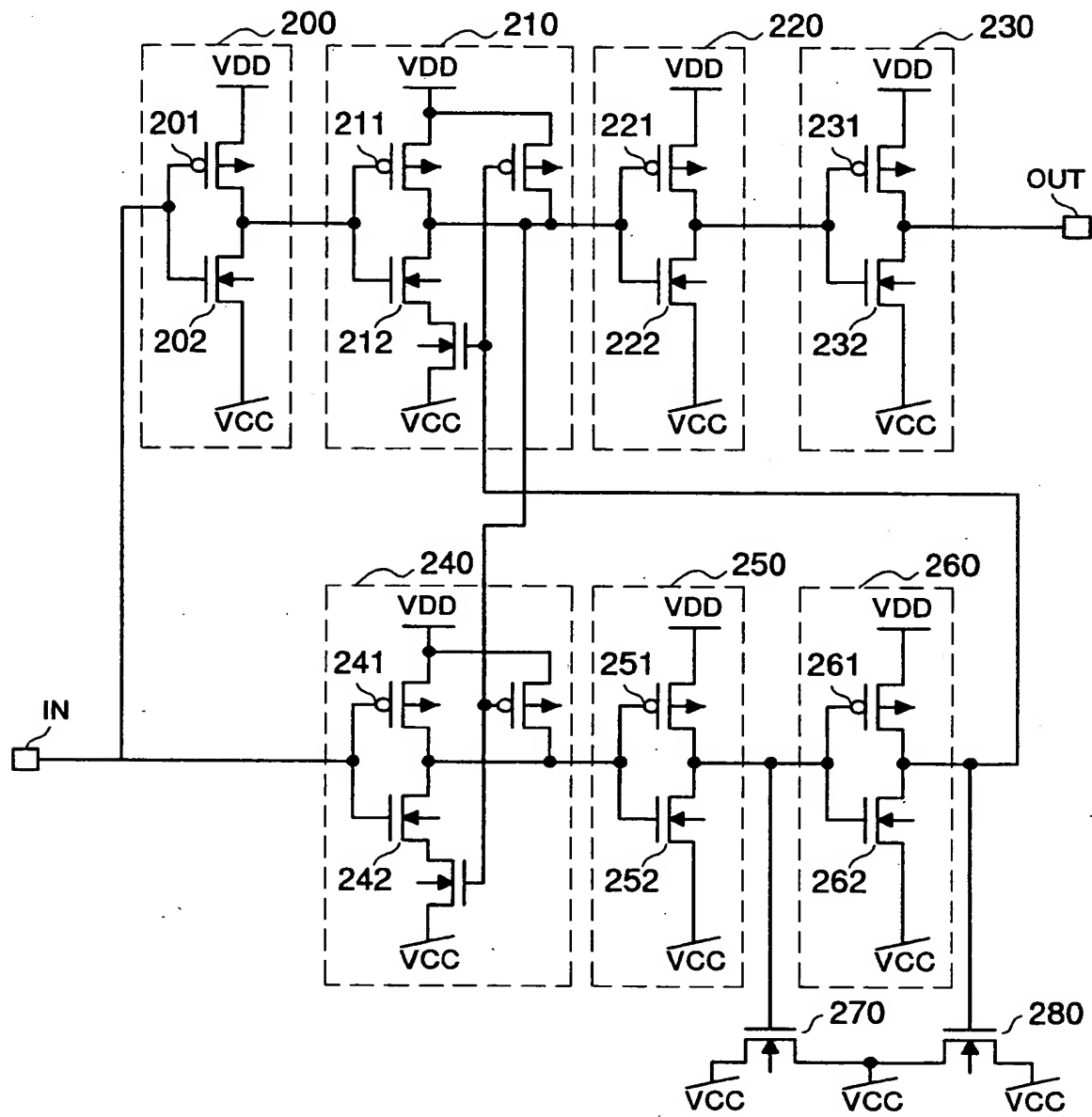
【図 9】



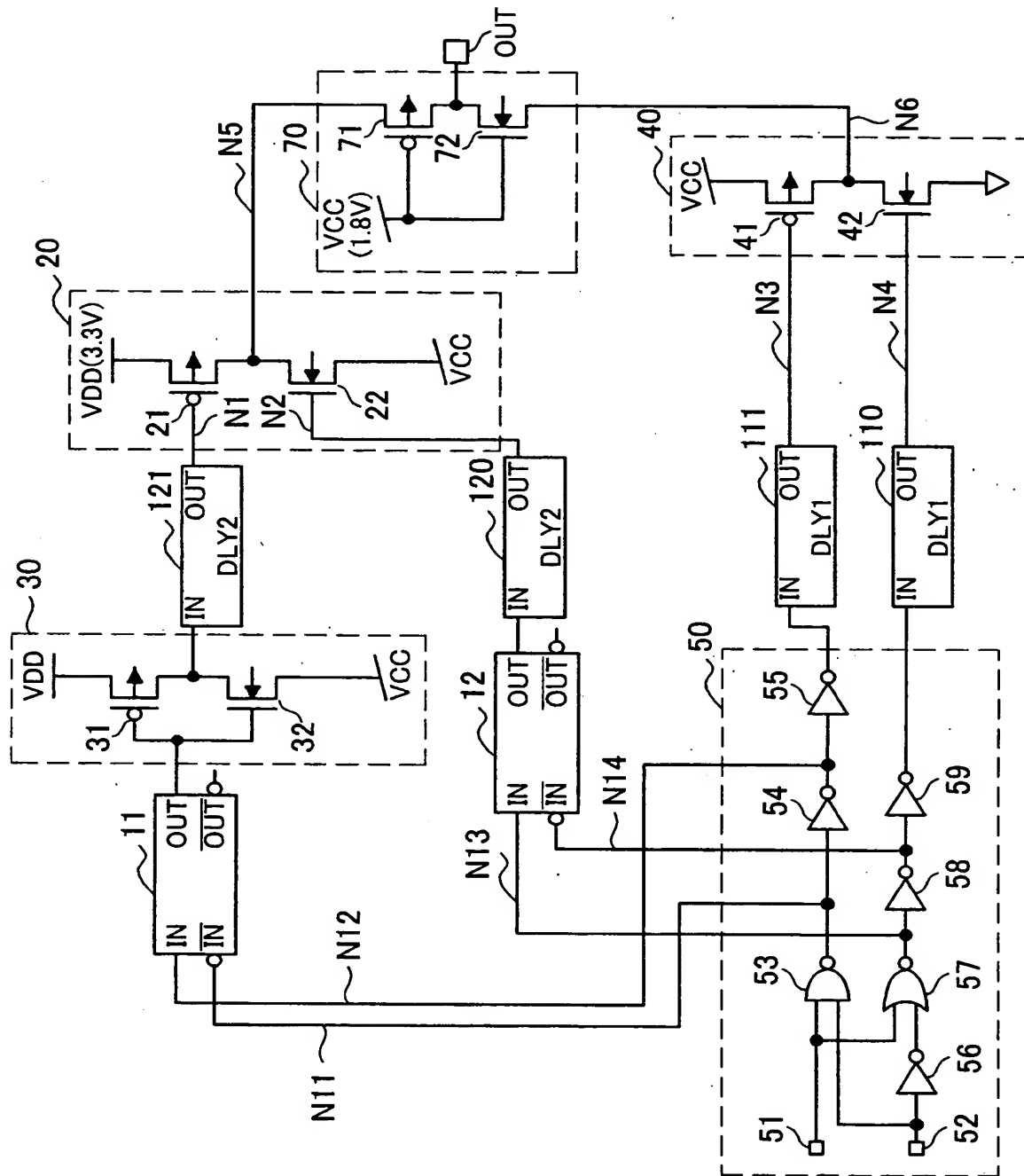
【図 1 0】



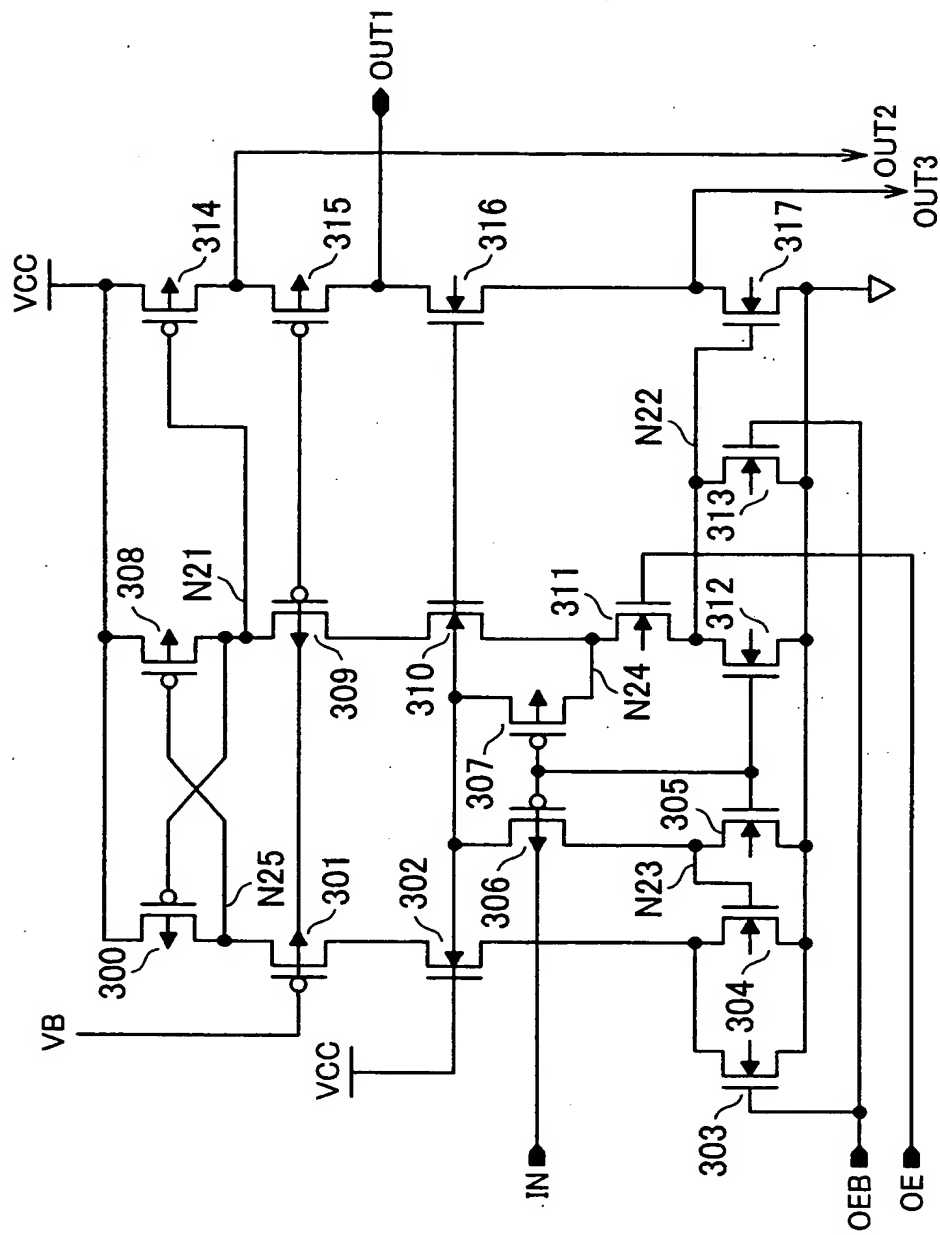
【図 1 1】



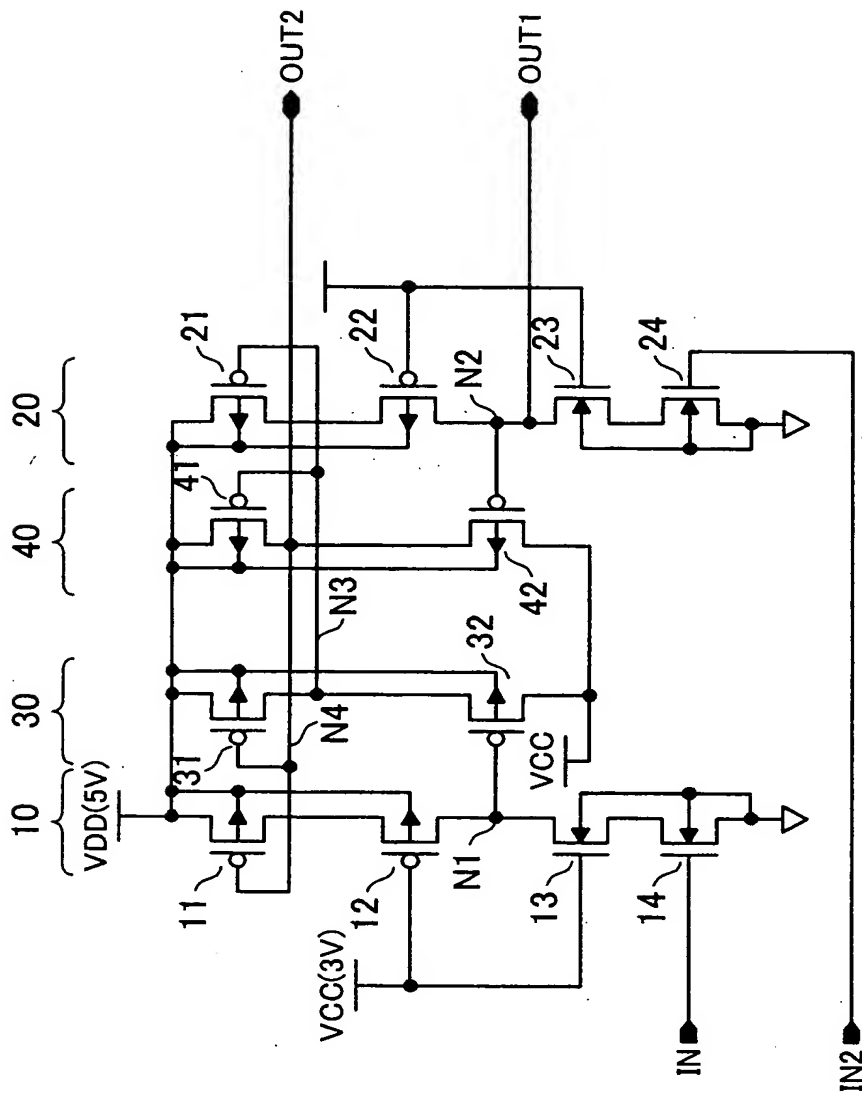
【図 12】



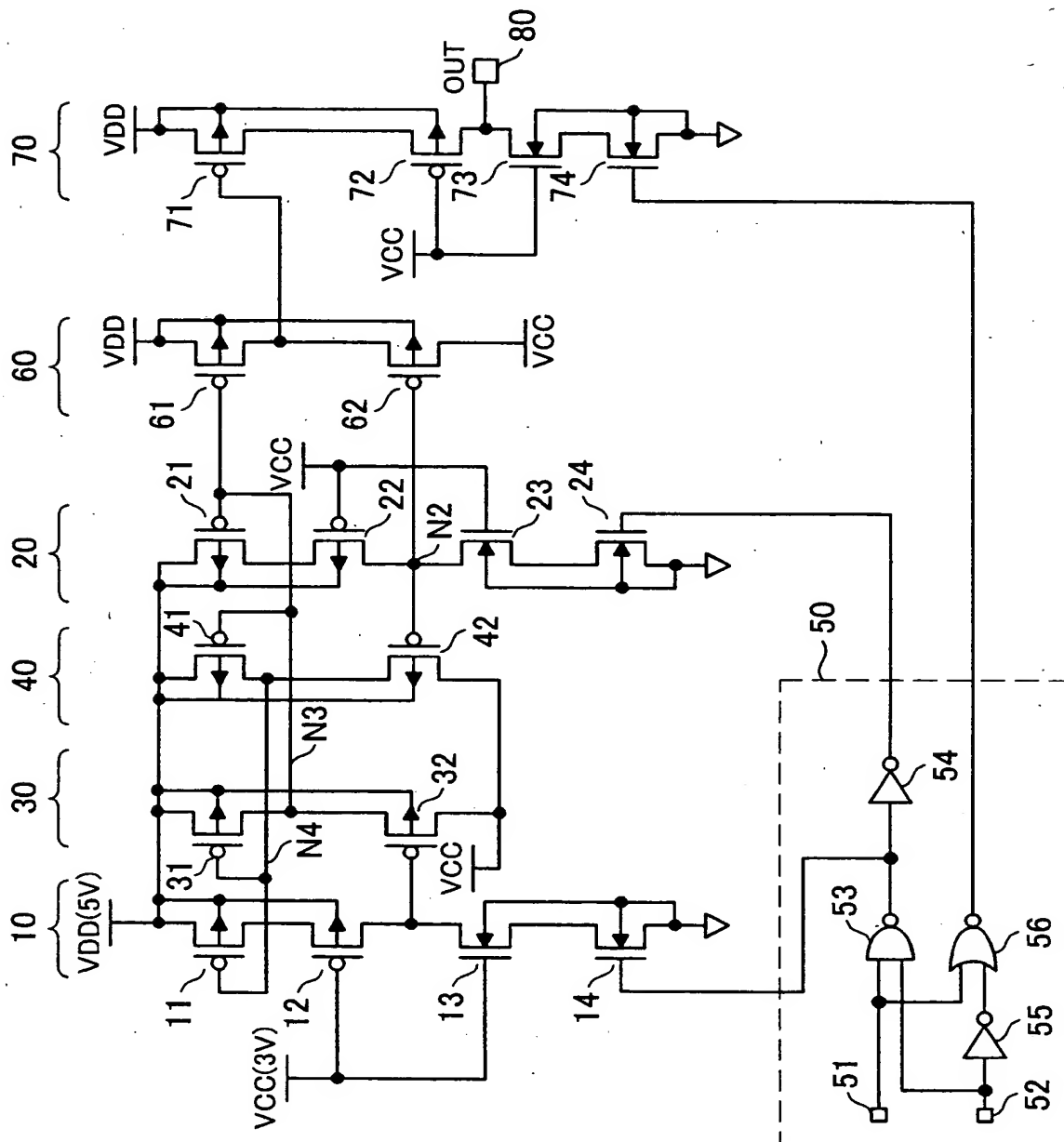
【図 1 3】



【図 1 4】



【図15】



【書類名】 要約書

【要約】

【課題】 高速に動作し、加えて負荷駆動能力の低下も抑えることの可能な半導体集積回路を提供する。

【解決手段】 第1の制御回路部50と、レベル変換回路11と、第1のバッファ回路20、第2のバッファ回路40、過電圧保護回路70とを備えた出力回路において、第1のバッファ回路の第1のNチャネル型MOSトランジスタ22、および第2のバッファ回路の第2のPチャネル型MOSトランジスタ41を付加した。これにより、より高速に動作することが可能になり、さらに、出力信号OUTの変化時にかかる過電圧保護回路の第3のPチャネル型MOSトランジスタ71、および第3のNチャネル型MOSトランジスタ72のソースドレイン間電圧を小さくできる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社